

[Handwritten signature]
2-12002

11017 U.S. PTO
09/996054
11/28/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re the Application of : **Takao YAMAZAKI, et al.**
Filed: : **Concurrently herewith**
For: : **SEMICONDUCTOR DEVICE AND METHOD.....**
Serial No. : **Concurrently herewith**

Assistant Commissioner for Patents
Washington, D.C. 20231

November 28, 2001

PRIORITY CLAIM AND
SUBMISSION OF PRIORITY DOCUMENT

S I R:

Applicant hereby claims priority under 35 USC 119 from **JAPANESE** patent application no. **2000-360853** filed **November 28, 2000**, certified copy of which is attached hereto.

Any fee, due as a result of this paper, not covered by an enclosed check, may be charged to Deposit Acct. No. 50-1290.

Respectfully submitted,

[Handwritten signature: Brian S. Myers]

Brian S. Myers
Reg. No. 46,947

ROSENMAN & COLIN, LLP
575 MADISON AVENUE
IP Department
NEW YORK, NEW YORK 10022-2584
DOCKET NO.:NECV 19.211
TELEPHONE: (212) 940-8800



日 本 国 特 許 庁
JAPAN PATENT OFFICE

J1017 U.S. PTO
09/996054
11/28/01

261-
U.C.

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年11月28日

出 願 番 号

Application Number:

特願2000-360853

出 願 人

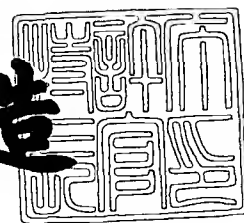
Applicant(s):

日本電気株式会社

2001年 8月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3077810

【書類名】 特許願

【整理番号】 34601598

【提出日】 平成12年11月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01G 4/12
H01L 21/00

【発明の名称】 半導体装置およびその実装方法

【請求項の数】 19

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 山崎 隆雄

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 森 透

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 渋谷 明信

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 山道 新太郎

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 嶋田 勇三

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100108578

 【弁理士】

【氏名又は名称】 高橋 詔男

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその実装方法

【特許請求の範囲】

【請求項 1】 回路形成面に複数の電源ライン接続用パッドと複数の接地ライン接続用パッドとが設けられた半導体装置本体と、前記電源ライン接続用パッドおよび前記接地ライン接続用パッドのそれぞれに電氣的に接続された導体と、該導体の少なくとも片面に電氣的に接続されたコンデンサとを有することを特徴とする半導体装置。

【請求項 2】 前記コンデンサが、前記半導体装置本体に供給される直流電圧の瞬時的な低下を抑制または補償するためのデカップリングコンデンサとして機能することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記半導体装置本体の回路形成面の周縁部に、前記電源ライン接続用パッドと前記接地ライン接続用パッドとが縁の延在方向に交互に配置され、前記電源ライン接続用パッドと前記接地ライン接続用パッドにそれぞれ接続された隣接する 2 つの導体間に前記コンデンサが設けられたことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記導体が、前記半導体装置本体の回路形成面側から側面側に折曲していることを特徴とする請求項 1 ないし 3 のいずれか一項に記載の半導体装置。

【請求項 5】 前記導体の前記半導体装置本体の側面側に折曲した部分の少なくとも片面に前記コンデンサが設けられたことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記導体が、前記半導体装置本体の側面側からさらに裏面側に折曲し、裏面側に折曲した部分の少なくとも片面に前記コンデンサが設けられたことを特徴とする請求項 4 または 5 に記載の半導体装置。

【請求項 7】 前記電源ライン接続用パッドまたは前記接地ライン接続用パッドと前記導体とが、半田または金バンプにより接合されたことを特徴とする請求項 1 ないし 6 のいずれか一項に記載の半導体装置。

【請求項 8】 前記導体をなす金属箔リードと該金属箔リードの少なくとも

前記半導体装置本体に対向する面に設けられた絶縁層とを有するフレキシブル基板が、前記半導体装置本体の回路形成面に接合されたことを特徴とする請求項 1 ないし 7 のいずれか一項に記載の半導体装置。

【請求項 9】 前記絶縁層が熱可塑接着性を有することを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記金属箔リードが前記半導体装置本体の回路形成面の周縁部のみに存在するとともに、前記半導体装置本体の回路形成面における前記金属箔リードが存在しない領域の前記絶縁層には前記半導体装置本体の複数のパッドの位置に対応して複数の孔が設けられ、複数のバンプが前記複数の孔の各々を貫通して前記複数のパッドの各々に接合されたことを特徴とする請求項 8 または 9 に記載の半導体装置。

【請求項 11】 少なくとも前記半導体装置本体に対向する面に絶縁層が設けられた前記導体をなす金属箔リードを有するリードフレームが、前記半導体装置本体の回路形成面に接合されたことを特徴とする請求項 1 ないし 7 のいずれか一項に記載の半導体装置。

【請求項 12】 前記絶縁層が熱可塑接着性を有することを特徴とする請求項 11 に記載の半導体装置。

【請求項 13】 前記コンデンサがチップコンデンサであることを特徴とする請求項 1 ないし 12 のいずれか一項に記載の半導体装置。

【請求項 14】 請求項 10 に記載の半導体装置の実装方法であって、
回路形成面の周縁部に前記電源ライン接続用パッドと前記接地ライン接続用パッドを縁の延在方向に交互に配置し、回路形成面の周縁部以外の領域にあるパッド上にバンプを形成した半導体装置本体を作製する工程と、

隣接する 2 つの金属箔リード間に前記コンデンサを接合した前記フレキシブル基板を作製する工程と、

前記半導体装置本体の回路形成面周縁部の前記電源ライン接続用パッドおよび前記接地ライン接続用パッドと前記フレキシブル基板の金属箔リードとを電氣的に接続することにより前記半導体装置を作製する工程と、

前記半導体装置を回路基板上に載置して加熱し、前記半導体装置本体のバンプ

をリフローさせることにより前記半導体装置を前記回路基板上に実装する工程とを有することを特徴とする半導体装置の実装方法。

【請求項 1 5】 前記半導体装置を前記回路基板上に実装した後、前記半導体装置と前記回路基板との間隙に樹脂を注入することを特徴とする請求項 1 4 に記載の半導体装置の実装方法。

【請求項 1 6】 前記半導体装置を前記回路基板上に実装した後、前記フレキシブル基板の不要な部分を切除することを特徴とする請求項 1 4 または 1 5 に記載の半導体装置の実装方法。

【請求項 1 7】 請求項 1 1 に記載の半導体装置の実装方法であって、回路形成面の周縁部に前記電源ライン接続用パッドと前記接地ライン接続用パッドを縁の延在方向に交互に配置し、回路形成面の周縁部以外の領域にあるパッド上にバンパを形成した半導体装置本体を作製する工程と、

隣接する 2 つの金属箔リード間に前記コンデンサを接合した前記リードフレームを作製する工程と、

前記半導体装置本体の回路形成面周縁部の前記電源ライン接続用パッドおよび前記接地ライン接続用パッドと前記リードフレームの金属箔リードとを電気的に接続することにより前記半導体装置を作製する工程と、

前記半導体装置を回路基板上に載置して加熱し、前記半導体装置本体のバンパをリフローさせることにより前記半導体装置を前記回路基板上に実装する工程とを有することを特徴とする半導体装置の実装方法。

【請求項 1 8】 前記半導体装置を前記回路基板上に実装した後、前記半導体装置と前記回路基板との間隙に樹脂を注入することを特徴とする請求項 1 7 に記載の半導体装置の実装方法。

【請求項 1 9】 前記半導体装置を前記回路基板上に実装した後、前記リードフレームの不要な部分を切除することを特徴とする請求項 1 7 または 1 8 に記載の半導体装置の実装方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、高速動作する L S I に負荷変動があった際に生じる直流電圧の瞬時的な低下を抑制または補償するデカップリングコンデンサを備えた半導体装置に関するものである。

【 0 0 0 2 】

【従来の技術】

図 2 4 は、立ち上がり時間 t_1 で高速にスイッチングする L S I 1 0 4 を回路基板 1 1 1 に実装した場合と、L S I 1 0 4 に供給される直流電圧 (V) の変動 (ΔV) を示したものである。図 2 4 中には回路基板 1 1 1 上に直流電圧 V の変動 (ΔV) を抑制または補償するデカップリングコンデンサが実装されていない。なお、図 2 4 中の符号 1 0 1 は電源ライン、1 0 2 は信号ライン、1 0 3 はグランド (接地) ライン、1 0 5 は直流電源、1 0 6 はビア、スルーホールである。図 2 5 に図 2 4 の等価回路を示す。L S I 1 0 4 が高速にスイッチングすると、直流電源 1 0 5 と L S I 1 0 4 との間の配線、またはビア、スルーホール 1 0 6 に存在する寄生インダクタンス $L (= L_1 + L_2 + L_3 + L_4 + L_5 + L_6)$ 1 0 8 によって、L S I 1 0 4 に供給される直流電圧 V が変動する。この時、直流電圧の変動量 (電圧降下) ΔV は (1) 式で表される。

$$\Delta V = R \times \Delta i + L \times di / dt \quad \dots\dots (1)$$

ここで、R : 配線およびコンデンサの抵抗、L : インダクタンス、 Δi : 時間 Δt の間に変動した電流、をそれぞれ表す。

【 0 0 0 3 】

したがって、R、配線、ビア、スルーホールに存在する寄生インダクタンス L 1 0 8、負荷変動 di が大きい程、もしくは変動時間 dt が小さい程、電圧変動量 ΔV が増加する。近年、L S I のクロック周波数が数百 MHz を越えるような高速になってきている。デジタル回路におけるパルス波形の立ち上がり時間 t_r が、すなわち負荷の変動時間 dt と等価になる。クロック周波数が早くなる程、立ち上がり時間 t_r が短くなるため、電圧変動量 ΔV はより大きくなる。これに加えて、近年、高速動作 L S I では消費電力を小さくするために入力電圧 V の低電圧化 (例えば 3.3 V \rightarrow 1.8 V) が進んでおり、電圧の変動率 ($\Delta V / V$) がますます大きくなる傾向にあり、 $\Delta V / V$ が L S I の動作仕様許容値 (約 5 %

）を越えるようになっている。スイッチング電源がこの電圧の変動を補償できれば良いが、スイッチング電源で補償するには $100\text{ nsec} \sim$ 数十 $\mu\text{ sec}$ の時間を要するため、高速でスイッチング（数百 $\text{ psec} \sim 1\text{ nsec}$ ）するLSIの電圧変動に追従できない。

【0004】

このような電圧変動によるLSIの誤動作を防ぐために、従来はLSIの電源ライン-グランド（接地）ライン間にコンデンサを並列に接続している。このコンデンサを一般にデカップリングコンデンサと称している。デカップリングコンデンサには、LSIから発生する高速スイッチング信号をバイパスさせて高速信号の経路を短くし、寄生インダクタンス L を小さくさせる（その結果、 $L \times di/dt$ を小さくさせる）効果（以下、効果①と記す）と、高速スイッチングの際に一時的に降下した電圧を、デカップリングコンデンサから電荷を供給（放電）することによって補償する効果（以下、効果②と記す）の2つがある。（1）式より、 ΔV を小さくするためには高速信号の経路に存在するインダクタンス L （配線、ビア、スルーホールに存在する L 等）を最小にすれば良く、最近ではこの L を最小にするため、図26に示すように、デカップリングコンデンサ109をLSI104の真横や、回路基板111を介してLSI104の真下に実装している。図27に図26の等価回路を示す。デカップリングコンデンサ109の効果①および効果②により、LSIに供給される直流電圧の変動量 ΔV は図27の右上のグラフ中の点線のように低減される。

【0005】

【発明が解決しようとする課題】

ところで、高速でスイッチングするLSIに供給される直流電圧の変動を大きくしている主要因は、LSIとデカップリングコンデンサとの間の配線経路に存在する寄生インダクタンス L である。この寄生インダクタンス L とは、配線、ビア、スルーホールに存在する寄生インダクタンスである。また、デカップリングコンデンサ自身の寄生インダクタンスも電圧変動の要因である。配線、ビア、スルーホールの寄生インダクタンスを小さくするには、それらの長さをできる限り短くする必要があるが、LSIの周辺にコンデンサを実装する限り、配線、ビア

、およびスルーホールには約 100 pH/mm の寄生インダクタンスが存在するため、従来の配線長、ビアおよびスルーホールのサイズを考えると約 300 pH 以上の寄生インダクタンスが存在する。また、デカップリングコンデンサ自身を持っている寄生インダクタンス（従来のチップコンデンサで1個当たり約 1 nH ）。コンデンサを N 個並列に接続するとデカップリングコンデンサの合成寄生インダクタンスは $1 \text{ nH}/N$ となる）も無視できない。これらの寄生インダクタンスが存在するため、直流供給電源 1.8 V 、 500 MHz 相当の高速スイッチングを想定すると、電圧変動率 $\Delta V/V$ は約 $10 \sim 15\%$ 以上となり、LSI が誤動作する原因となるため、問題になっている。

【0006】

また、従来のチップコンデンサでは共振周波数が数十 $\text{MHz} \sim 80 \text{ MHz}$ と小さいため、LSI のクロック周波数が数百 MHz 以上になると、デカップリングコンデンサとして有効に機能しなくなるという問題もあり、コンデンサ自身の共振周波数も高くする必要がある（共振周波数以上の高速信号ではデカップリングコンデンサの電荷補償が追従できずに遅れるため、効率よく電圧変動を抑制できなくなる）。コンデンサの共振周波数を大きくするにはコンデンサ自身が有する寄生インダクタンスを小さくする必要がある、コンデンサの電極形状や誘電体厚等、構造を工夫する必要がある。「日経エレクトロニクス」1999.4.19号、P144～156によれば、誘電体厚さを薄くすると寄生インダクタンスが小さくなることが知られており、薄膜コンデンサを用いた半導体装置に関する発明もいくつか報告されている（例えば特開平11-45822号、特開平8-97360号など）。

【0007】

ここで、クロック周波数 $f_h = 100 \text{ MHz}$ 、最大消費電流 $I = 10 \text{ A}$ 、電源電圧 $V = 3.3 \text{ V}$ の LSI (A) と、 $f_h = 500 \text{ MHz}$ 、最大消費電流 $I = 90 \text{ A}$ 、電源電圧 $V = 1.8 \text{ V}$ の LSI (B) を仮定し、デカップリングコンデンサが1クロックの間に生じる電圧降下 ΔV （規格電圧の10%を仮定）を補償するために必要なコンデンサ容量 C を計算してみると、電源電圧の降下分を補うために必要な電荷 Q の値は、 $Q = C \times \Delta V = I \times (1/f_h)$ であるので、

$$C = I / (f_h \times \Delta V) \quad \dots\dots (2)$$

という関係式から、必要な容量CはLSI (A) において、 $10A / (100 \times 10^6 \times 3.3 \times 0.1) = 0.30 \mu F$ 、LSI (B) においては $90A / (500 \times 10^6 \times 1.8 \times 0.1) = 1.0 \mu F$ となる。つまり、LSIのクロック周波数が速くなり、かつ消費電流も大きくなると、必要なデカップリングコンデンサの容量が大きくなる。

【0008】

しかしながら、デカップリングコンデンサの寄生インダクタンスが同じで容量だけが大きくなると、LC共振周波数 $f = 1 / (2\pi\sqrt{LC})$ は逆に低くなってしまい、電圧降下が生じている時間内（クロックの立ち上がり、立ち下がり時間内）に電荷を十分に供給することができなくなり、電圧降下を十分に補償できなくなるという問題がある。そこで、LSIの高速化に伴い、デカップリングコンデンサ自身の寄生インダクタンスも小さくしなければならないという状況である。例えば、クロック信号が500MHzの場合、 $1.0 \mu F$ の容量を持ったコンデンサでは共振周波数を500MHz以上とするために、寄生インダクタンスを0.1pH以下にしなければならないことになる。単独のコンデンサでの実現は不可能なので、現実的には $C = 10nF$ 以下、 $L = 10pH$ 以下の小容量・低インダクタンスのコンデンサを電源－グランド間に100個並列に接続するなどの工夫が考えられる。デカップリングコンデンサとしてコンデンサ自身の寄生インダクタンスが少しでも小さいものを使えば、LC共振周波数を高くすることができるのでより効果的であるが、そうすると容量が小さいため、多数のコンデンサを実装する必要がある。コンデンサを100個以上実装するとなると、コンデンサ自体とその配線のための広い実装スペースが必要となり、回路基板の小型化を妨げるという問題がある。

【0009】

本発明は、上記の課題を解決するためになされたものであって、回路基板上に多数のコンデンサを実装することなく、高速動作するLSIに供給される直流電圧の瞬時的な低下を抑制または補償するデカップリングコンデンサを備えた半導体装置を提供することを目的とする。また、LSIに供給される直流電圧の変動

を小さくし、かつ回路基板の小型化も実現させることを目的とする。

【0010】

【課題を解決するための手段】

上記の目的を達成するために、本発明の半導体装置は、回路形成面に複数の電源ライン接続用パッドと複数の接地ライン接続用パッドとが設けられた半導体装置本体と、電源ライン接続用パッドおよび接地ライン接続用パッドのそれぞれに電氣的に接続された導体と、導体の少なくとも片面に電氣的に接続されたコンデンサとを有することを特徴とする。特に前記コンデンサは、半導体装置本体に供給される直流電圧の瞬時的な低下を抑制または補償するためのデカップリングコンデンサとして機能するものである。

【0011】

本発明の半導体装置では、従来のように回路基板上にコンデンサを実装するのではなく、半導体装置本体の電源ライン接続用パッドおよび接地ライン接続用パッドに接続された導体上（位置的には半導体装置本体上となることもある）にコンデンサが直接実装されているので、半導体装置本体とデカップリングコンデンサとの間の配線長が例えば1mm以下というように極めて短くなり、配線経路が持つ寄生インダクタンスを十分に低減することができる。その結果、デカップリングコンデンサが十分に機能し、直流電圧の瞬時的な低下を効果的に抑制または補償することができる。さらに、導体上にコンデンサを実装することで省スペース化が図れ、半導体装置を実装する回路基板の小型化を実現することができる。

【0012】

また、半導体装置本体の回路形成面の周縁部に電源ライン接続用パッドと接地ライン接続用パッドを縁の延在方向に交互に配置し、電源ライン接続用パッドと接地ライン接続用パッドにそれぞれ接続された隣接する2つの導体間にデカップリングコンデンサを設けることが望ましい。

【0013】

この構成によれば、1個の半導体装置本体に対してより多くのデカップリングコンデンサを接続することができるので、低インダクタンスのコンデンサを多数実装できることでデカップリングコンデンサ自身が持つ寄生インダクタンスを低

減できると同時に、全体として容量を大きくすることができ、LC共振周波数を高くすることができる。

【0014】

前記導体は、半導体装置本体の回路形成面側から側面側に折曲させ、その部分の少なくとも片面にデカップリングコンデンサを設ける構成としてもよい。さらに、側面側から裏面側に折曲させ、その部分の少なくとも片面にデカップリングコンデンサを設ける構成としてもよい。

【0015】

この構成によれば、1個の半導体装置本体に対してより多数のデカップリングコンデンサを実装できると同時に、多くのコンデンサを実装した割に占有面積がそれ程大きくならないので、この半導体装置を実装した回路基板のさらなる小型化に寄与することができる。

【0016】

半導体装置本体の電源ライン接続用パッドまたは接地ライン接続用パッドと導体を接合する際には、半田または金バンプを用いるのがよい。これにより、電源ライン接続用パッド、接地ライン接続用パッドと導体間の電氣的接続を容易に行うことができる。

【0017】

導体としては、以下の2つの形態が考えられる。一つは、導体となる金属箔リードを含むフレキシブル基板を用いたものである。すなわち、導体となる金属箔リードと、この金属箔リードの少なくとも半導体装置本体に対向する面に設けられた絶縁層とを有するフレキシブル基板を用い、このフレキシブル基板を半導体装置本体の回路形成面に接合すればよい。この場合、前記絶縁層として熱可塑接着性を有するものを用いれば、フレキシブル基板を簡便な方法で半導体装置本体に固定することができる。

【0018】

より具体的には、金属箔リードを半導体装置本体の回路形成面の周縁部のみに形成するとともに、半導体装置本体の回路形成面における金属箔リードが存在しない領域の絶縁層に半導体装置本体の複数のパッドの位置に対応して複数の孔を

設け、半導体装置本体の複数のバンプを前記複数の孔の各々を貫通させて複数のパッドの各々に接合する構成を採ることができる。

【 0 0 1 9 】

他の一つは、導体となる金属箔リードを有するリードフレームを用いたものである。すなわち、少なくとも半導体装置本体に対向する面に絶縁層が設けられたリードフレームを用い、このリードフレームを半導体装置本体の回路形成面に接合すればよい。この場合も上記と同様、絶縁層として熱可塑接着性を有するものを用いれば、リードフレームを簡便な方法で半導体装置本体に固定することができる。

【 0 0 2 0 】

前記デカップリングコンデンサとしては、積層セラミックコンデンサ、タンタルコンデンサ、アルミ電解コンデンサ、有機コンデンサなどを含むチップコンデンサを用いることが望ましい。

【 0 0 2 1 】

本発明の半導体装置の実装方法は、回路形成面の周縁部に前記電源ライン接続用パッドと前記接地ライン接続用パッドを縁の延在方向に交互に配置し、回路形成面の周縁部以外の領域にあるパッド上にバンプを形成した半導体装置本体を作製する工程と、隣接する2つの金属箔リード間に前記コンデンサを接合した前記フレキシブル基板を作製する工程と、前記半導体装置本体の回路形成面周縁部の前記電源ライン接続用パッドおよび前記接地ライン接続用パッドと前記フレキシブル基板の金属箔リードとを電氣的に接続することにより前記半導体装置を作製する工程と、前記半導体装置を回路基板上に載置して加熱し、前記半導体装置本体のバンプをリフローさせることにより前記半導体装置を前記回路基板上に実装する工程とを有することを特徴とする。

【 0 0 2 2 】

上記半導体装置の実装方法は上記のフレキシブル基板を用いる方法である。この方法によれば、半導体装置本体と導体との電氣的接続の際にこれら部品の取り扱いが容易であり、実装作業の作業性が向上する。

【 0 0 2 3 】

本発明の他の半導体装置の実装方法は、回路形成面の周縁部に前記電源ライン接続用パッドと前記接地ライン接続用パッドを縁の延在方向に交互に配置し、回路形成面の周縁部以外の領域にあるパッド上にバンプを形成した半導体装置本体を作製する工程と、隣接する２つの導体間に前記コンデンサを接合した前記リードフレームを作製する工程と、前記半導体装置本体の回路形成面周縁部の前記電源ライン接続用パッドおよび前記接地ライン接続用パッドと前記リードフレームの金属箔リードとを電氣的に接続することにより前記半導体装置を作製する工程と、前記半導体装置を回路基板上に載置して加熱し、前記半導体装置本体のバンプをリフローさせることにより前記半導体装置を前記回路基板上に実装する工程とを有することを特徴とする。

【 0 0 2 4 】

上記半導体装置の実装方法は上記のリードフレームを用いる方法である。この方法においても、フレキシブル基板の場合と同様、半導体装置本体と導体との電氣的接続の際にこれら部品の取り扱いが容易であり、実装作業の作業性が向上する。

【 0 0 2 5 】

また、上記半導体装置の実装方法において、半導体装置を回路基板上に実装した後、半導体装置と回路基板との間隙に樹脂を注入することが望ましい。この構成とすれば、半導体装置と回路基板とを電氣的に接続するバンプの間が樹脂によって絶縁され、半導体装置と回路基板との接続の信頼性を高めることができる。

【 0 0 2 6 】

さらに、上の方法で用いたフレキシブル基板やリードフレームに不要な部分があれば、半導体装置を回路基板上に実装した後、その不要な部分を切除することが望ましい。

【 0 0 2 7 】

【発明の実施の形態】

〔第 1 の実施の形態〕

以下、本発明の第 1 の実施の形態を図 1 ～図 7 を参照して説明する。

本実施の形態の半導体装置は L S I の表面（回路形成面）にフレキシブル基板を接合したものであり、図 1（a）、（b）は本実施の形態の半導体装置を回路基板に実装した状態を示す断面図、図 2 は L S I の回路形成面を示す平面図、図 3 はフレキシブル基板の L S I との接続面を示す平面図、図 4 は図 3 のフレキシブル基板上にデカップリングコンデンサを実装した状態を示す平面図、図 5 は他の例の L S I（半導体装置本体）の回路形成面（以下の説明では回路形成面を表面、反対側の面を裏面と規定する）を示す平面図、図 6 は他の例のフレキシブル基板の L S I との接続面を示す平面図、図 7 は図 6 のフレキシブル基板上にデカップリングコンデンサを実装した状態を示す平面図である。

【 0 0 2 8 】

本実施の形態の半導体装置は、図 1（a）、（b）に示すように、L S I 1（半導体装置本体）と、金属箔リード 5（導体）と絶縁層 3 とからなるフレキシブル基板 1 3 と、デカップリングコンデンサ 2 とから概略構成されている。L S I 1 の回路形成面（図における下面）の最外周部（周縁部）には、図 2 または図 5 に示すように、電源ライン接続用パッド 1 0 とグランド（接地）ライン接続用パッド 1 1 とが交互に配列されている。それ以外の領域には信号ライン接続用パッド等の電極パッド 1 6 が配置されるが、この中に電源ライン接続用パッド 1 0 やグランドライン接続用パッド 1 1 が含まれてもかまわない。図 2 は、最外周の電源ライン接続用パッド 1 0 とグランドライン接続用パッド 1 1 が内側の電極パッド 1 6 と同様に等間隔に配列された例である。これに対して、図 5 は、最外周の電源ライン接続用パッド 1 0 とグランド（接地）ライン接続用パッド 1 1 が内側の電極パッド 1 6 とは異なり、1 個おきに離間して配列された例である。

【 0 0 2 9 】

一方、図 3 および図 6 はこれら L S I 1 に対応するフレキシブル基板 1 3 を示しており、図 2 の L S I に対応するものが図 3 のフレキシブル基板、図 5 の L S I に対応するものが図 6 のフレキシブル基板である。図 3、図 6 とともに、絶縁層 3 の片面に、L S I 最外周の電源ライン接続用パッド 1 0 とグランドライン接続用パッド 1 1 に対応して L S I 1 の外形から外側に向けて延びる帯状の多数の金

属箔リード5が設けられ、金属箔リード5の端部に電極パッド9が設けられている。よって、LSI1の中央側の領域は絶縁層3のみが存在しており、この部分の絶縁層13にはLSI1の内側の電極パッド16の位置に対応して後述するバンプが貫通するだけの径を有する多数の孔12が形成されている。

【0030】

フレキシブル基板13を構成する金属箔リード5は、例えば厚さ20 μ m以下の銅、アルミニウム等の導電性材料で形成されている。絶縁層3は、例えばポリイミド、ポリエチレンテレフタレート（PET）、アクリル樹脂、ガラスエポキシ樹脂等の材料で構成されている。この絶縁層3に熱可塑接着性を持つものを用いれば、この絶縁層3によりLSI1とフレキシブル基板13とを接着させることができる。

【0031】

さらに、図4および図7はこれらフレキシブル基板13上にデカップリングコンデンサ2を実装した状態を示しており、図3に対応するものが図4、図6に対応するものが図7である。図4、図7ともに、LSI1の電源ライン接続用パッド10に接続される金属箔リード5とグラウンドライン接続用パッド11に接続される金属箔リード5からなる隣接する2つの金属箔リードの間に跨るように、デカップリングコンデンサ2が接合されている。ここで用いるデカップリングコンデンサ2は積層セラミックコンデンサ、タンタルコンデンサ、アルミ電解コンデンサ、有機コンデンサ等のチップコンデンサによって構成されており、金属箔リード5上にハンダ等の導体ペーストを用いて実装されている。デカップリングコンデンサ2には上記4種のチップコンデンサを用いることができるが、寄生インダクタンスが小さく、容量が大きくとれるという観点から積層セラミックコンデンサが特に好適である。

【0032】

図1（a）、（b）に示すように、LSI1の最外周部の電源ライン接続用パッド10、グラウンドライン接続用パッド11とフレキシブル基板13の金属箔リード5端部の電極パッド9とはバンプ4により接続されている。バンプ4の材料には例えば半田、金等を用いることができる。また、LSI1とフレキシブル基

板 1 3 の金属箔リード 5 とは絶縁層 3 によって固定されると同時に絶縁されている。L S I 1 の内側の多数の電極パッド 1 6 上に半田等からなるバンプ 6 がそれぞれ形成されており、各バンプ 6 が絶縁層 3 に設けられた孔 1 2 を貫通して回路基板 7 に接続されている。

【 0 0 3 3 】

図 1 (a) の構成は、金属箔リード 5 の片面 (L S I 1 に対向する面) 側のみに絶縁層 3 が存在し、反対側の面には絶縁層 3 が存在していない例である。つまり、金属箔リード 5 と回路基板 7 の表面が対向した状態となっている。そこで、金属箔リード 5 と回路基板 7 との絶縁を保つため、また、L S I 1 と回路基板 7 との接続の信頼性を高めるため、半導体装置と回路基板 7 との間隙にアンダーフィル樹脂 8 が装入されている。

【 0 0 3 4 】

一方、図 1 (b) の構成は、金属箔リード 5 の両面に絶縁層 3 が存在する例である。つまり、金属箔リード 5 と L S I 1 の回路形成面との間のみならず、金属箔リード 5 と回路基板 7 との間にも絶縁層 3 が介在しており、金属箔リード 5 と回路基板 7 との絶縁が保たれている。しかしながら、L S I 1 と回路基板 7 との接続の信頼性を高めるために、半導体装置と回路基板 7 との間隙にアンダーフィル樹脂 8 が装入されている。アンダーフィル樹脂 8 としては、例えばエポキシ樹脂を用いることができる。

【 0 0 3 5 】

以下、上記構成の半導体装置の回路基板への実装方法を説明する。

まず、図 2 または図 5 に示したような電極パッドの配置を有する L S I 1 を作製し、回路形成面の最外周部のパッド 1 0、1 1 にバンプ 4 を実装する。一方、図 3 または図 6 に示したようなフレキシブル基板 1 3 を作製する。次に、L S I 1 上のバンプ 4 とフレキシブル基板 1 3 の電極パッド 9 とを接続する。次に、L S I 1 の回路形成面の最外周部のパッド 1 0、1 1 以外の箇所の電極パッド 1 6 上に回路基板 7 との接続に用いるバンプ 6 を実装し、図 4 または図 7 に示したように、フレキシブル基板 1 3 上にデカップリングコンデンサ 2 を実装して半導体装置を作製する。その後、この半導体装置を回路基板 7 上に載置して加熱し、L S

I 1 の電極パッド 1 6 に接続されたバンプ 6 をリフローさせることにより半導体装置を回路基板 7 上に実装する。そして、半導体装置と回路基板 7 との間隙にアンダーフィル樹脂 8 を注入する。最後に、フレキシブル基板 1 3 の余分な部分を切り取り線 1 5 (図 4 または図 7 に破線 1 5 で示す) に沿って切り取る。以上の工程を経て、上記半導体装置を回路基板 7 上に実装することができる。

【 0 0 3 6 】

本実施の形態の半導体装置においては、半導体装置自身の金属箔リード 5 上にデカップリングコンデンサ 2 を直接実装しているので、L S I 1 とデカップリングコンデンサ 2 との間の配線長を例えば数百 μm 程度にまで短縮することができる。その結果、配線経路の寄生インダクタンスを例えば数 1 0 p H 程度に小さくすることができるので、デカップリングコンデンサとしての機能を十分に発揮させることができ、回路における直流電圧の瞬時的な低下を効果的に抑制または補償することができる。

【 0 0 3 7 】

また、金属箔リード 5 上にコンデンサを実装することで省スペース化が図れ、半導体装置を実装する回路基板 7 の小型化を実現することができる。さらに、1 個の L S I 1 に対して多くのデカップリングコンデンサ 2 を接続することができるので、1 個あたりのインダクタンスが低いコンデンサを多数実装できることでデカップリングコンデンサ自身が持つ寄生インダクタンスを低減できると同時に、全体として容量を大きくすることができ、L C 共振周波数を高くすることができる。

【 0 0 3 8 】

さらに本実施の形態の場合、金属箔リード 5 と絶縁層 3 とがもともと一体化したフレキシブル基板 1 3 を用いて半導体装置を作成しているので、半導体装置の製造工程において L S I 1 と金属箔リード 5 との接続の際にこれら部品の取り扱いが容易となり、作業性を向上させることができる。また、フレキシブル基板 1 3 を用いた場合、金属箔リード 5 が一般に 1 8 μm 以下の厚さであり、リードフレームに用いる導体 (約 5 0 ~ 1 0 0 μm) よりも薄いため、半導体装置と回路基板 7 との間隙を小さくすることができ、全体として薄型にすることができる。

逆に言えば、半導体装置と回路基板 7 との間隙が小さい場合にはバンプ 6 を小さくすることができるので、電極パッド 1 6 の集積度を上げることができるという利点がある。

【 0 0 3 9 】

[第 2 の実施の形態]

以下、本発明の第 2 の実施の形態を図 8 ～図 1 0 を参照して説明する。

図 8 (a) 、 (b) は本実施の形態の半導体装置を回路基板に実装した状態を示す断面図、図 9 はフレキシブル基板の L S I との接続面を示す平面図、図 1 0 は他の例のフレキシブル基板の L S I との接続面を示す平面図、である。なお、図 9 に示すフレキシブル基板は第 1 の実施形態の図 2 に示した L S I に対応するもの、図 1 0 に示すフレキシブル基板は同、図 5 に示した L S I に対応するものである。本実施の形態の半導体装置もフレキシブル基板を使用したものであり、基本構成は第 1 の実施の形態と同様であるが、異なる点は金属箔リードの両面にデカップリングコンデンサを実装したことである。よって、図 8 ～図 1 0 において図 1 ～図 7 と共通の構成要素には同一の符号を付し、詳細な説明は省略する。

【 0 0 4 0 】

図 1 (a) 、 (b) に示した第 1 の実施の形態では金属箔リード 5 の少なくとも片面 (L S I と対向する面) 側には全体にわたって絶縁層 3 が設けられていたのに対し、本実施の形態の半導体装置の場合、図 8 (a) 、 (b) に示すように、金属箔リード 5 の先端側 (L S I の外側) の部分には両面ともに絶縁層 3 が設けられていない。そして、この絶縁層 3 が設けられていない金属箔リード 5 の両面にデカップリングコンデンサ 2 がそれぞれ実装されている。デカップリングコンデンサ 2 として積層セラミックコンデンサ等のチップコンデンサが用いられることや、デカップリングコンデンサ 2 をハンダ等の導体ペーストで実装できることは第 1 の実施の形態と同様である。その他の構成も第 1 の実施の形態と同様である。また、図 8 (a) は図 1 (a) と同様、L S I 1 の周縁部で金属箔リード 5 の片面のみに絶縁層 3 があり、他の面側はアンダーフィル樹脂 8 が封入された例、図 8 (b) は図 1 (b) と同様、L S I 1 の周縁部で金属箔リード 5 の両面ともに絶縁層 3 が設けられた場合の例をそれぞれ示している。

【 0 0 4 1 】

本実施の形態によれば、直流電圧の瞬時的な低下を効果的に抑制、補償できる、回路基板の小型化に寄与できる、LC共振周波数を高くできる、実装作業の作業性が向上する、といった第1の実施の形態と同様の効果を得ることができる。さらに本実施の形態の場合、デカップリングコンデンサ2の数を第1の実施の形態の場合の2倍実装することができるので、LSI1に供給される直流電圧の変動をより小さく抑えることができる。

【 0 0 4 2 】

[第3の実施の形態]

以下、本発明の第3の実施の形態を図11、図12を参照して説明する。

図11(a)、(b)は本実施の形態の半導体装置を回路基板に実装した状態を示す断面図、図12(a)、(b)は同、半導体装置の側面図、である。なお、図12(a)に示す半導体装置は第1の実施形態の図2に示したLSIに対応するもの、図12(b)に示すフレキシブル基板は同、図5に示したLSIに対応するものである。本実施の形態の半導体装置もフレキシブル基板を使用したものであり、基本構成は第1の実施の形態と同様であるが、異なる点は金属箔リードがLSIの側面側に折り曲げられている点のみである。よって、図11、図12において図1～図7と共通の構成要素には同一の符号を付し、詳細な説明は省略する。

【 0 0 4 3 】

本実施の形態の半導体装置においては、図11(a)、(b)に示すように、LSI1とフレキシブル基板13の金属箔リード5とは、例えばポリイミド等を基本材料とする熱可塑接着性を有する絶縁層3で絶縁されており、金属箔リード5と絶縁層3とからなるフレキシブル基板13が、LSI1の回路形成面から側面に沿って折り曲げられた形で熱接着されている。図12(a)または(b)に示すように、このようにLSI1の側面に接着されたフレキシブル基板13中の金属箔リード5上に、チップコンデンサからなるデカップリングコンデンサ2がハンダ等の導体ペーストにより実装されている。その他の構成は第1の実施の形態と同様である。また、図11(a)は図1(a)と同様、LSI1の周縁部で

金属箔リード5の片面のみに絶縁層3があり、他の面側はアンダーフィル樹脂8が封入された例、図11(b)は図1(b)と同様、LSI1の周縁部で金属箔リード5の両面ともに絶縁層3が設けられた場合の例、をそれぞれ示している。

【0044】

本実施の形態の半導体装置によれば、直流電圧の瞬時的な低下を効果的に抑制、補償できる、回路基板の小型化に寄与できる、LC共振周波数を高くできる、実装作業の作業性が向上する、といった第1の実施の形態と同様の効果を得ることができる。さらに本実施の形態の場合、金属箔リード5を含むフレキシブル基板13がLSI1の側面に沿って折り曲げられた形でその上にデカップリングコンデンサ2が固定されているので、回路基板7上での半導体装置の占有面積が第1の実施の形態に比べて小さくなり、回路基板7の小型化に寄与することができる。

【0045】

〔第4の実施の形態〕

以下、本発明の第4の実施の形態を図13を参照して説明する。

図13(a)、(b)は、本実施の形態の半導体装置を回路基板に実装した状態を示す断面図である。本実施の形態の半導体装置もフレキシブル基板を使用したものであり、基本構成は第1の実施の形態と同様であるが、異なる点は第3の実施の形態における金属箔リードがさらにLSIの裏面側に折り曲げられている点のみである。よって、図13において図1～図7と共通の構成要素には同一の符号を付し、詳細な説明は省略する。

【0046】

本実施の形態の半導体装置においては、図13(a)、(b)に示すように、LSI1とフレキシブル基板13の金属箔リード5とは、例えばポリイミド等を基本材料とする熱可塑接着性を有する絶縁層3で絶縁されており、金属箔リード5と絶縁層3とからなるフレキシブル基板13が、LSI1の回路形成面から側面、さらに裏面(図におけるLSI1の上面)に沿って折り曲げられた形で熱接着されている。このようにLSI1の側面および裏面に接着されたフレキシブル基板13の金属箔リード5上に、チップコンデンサからなるデカップリングコン

デンサ 2 がハンダ等の導体ペーストによりそれぞれ実装されている。その他の構成は第 1 の実施の形態と同様である。また、図 1 3 (a) は図 1 (a) と同様、L S I 1 の周縁部で金属箔リード 5 の片面のみに絶縁層 3 があり、他の面側はアンダーフィル樹脂 8 が封入された例、図 1 3 (b) は図 1 (b) と同様、L S I 1 の周縁部で金属箔リード 5 の両面ともに絶縁層 3 が設けられた場合の例、をそれぞれ示している。

【 0 0 4 7 】

本実施形態の半導体装置によれば、直流電圧の瞬時的な低下を効果的に抑制、補償できる、回路基板の小型化に寄与できる、L C 共振周波数を高くできる、実装作業の作業性が向上する、といった第 1 の実施の形態と同様の効果を得ることができる。さらに本実施の形態の場合、第 3 の実施の形態と同様、半導体装置の占有面積を小さくした上でデカップリングコンデンサ 2 の数を第 1 または第 3 の実施の形態の場合の複数倍実装できるので、L S I 1 に供給される直流電圧の変動をより小さく抑えることが可能となる。ただし、L S I 1 の電源ライン接続用パッド 1 0、グランドライン接続用パッド 1 1 からデカップリングコンデンサ 2 までの距離が遠くなればなる程配線に存在するインダクタンスが大きくなるので、デカップリングコンデンサ 2 を裏面に実装する場合でも、この配線長が 1 m m 以下の範囲で実装することが好ましい。

【 0 0 4 8 】

〔第 5 の実施の形態〕

以下、本発明の第 5 の実施の形態を図 1 4 ～図 1 8 を参照して説明する。

上記実施の形態におけるフレキシブル基板に代えて、以下の実施の形態の半導体装置は L S I (半導体装置本体) の表面 (回路形成面) にリードフレームを接合したものである。図 1 4 (a)、(b) は本実施の形態の半導体装置を回路基板に実装した状態を示す断面図、図 1 5 はリードフレームの L S I との接続面を示す平面図、である。ただし、基本構成は第 1 の実施の形態と同様であるため、以下の図においても、図 1 ～図 7 と共通の構成要素には同一の符号を付すことにする。

【 0 0 4 9 】

本実施の形態の半導体装置は、図 1 4 (a) 、 (b) に示すように、 L S I 1 とリードフレーム 1 4 とデカップリングコンデンサ 2 とから概略構成されている。 L S I 1 自体の構成は、図 2 または図 5 に示した第 1 の実施の形態と同様である。図 1 5 および図 1 6 はこれら L S I 1 に対応するリードフレーム 1 4 をそれぞれ示しており、図 2 の L S I に対応するものが図 1 5 のリードフレーム、図 5 の L S I に対応するものが図 1 6 のリードフレームである。図 1 5 、図 1 6 のリードフレーム 1 4 とともに、外枠 1 4 a の内側に、 L S I 最外周の電源ライン接続用パッド 1 0 とグラウンドライン接続用パッド 1 1 に対応して L S I 1 の最外周部に向けて延びる帯状の多数の金属箔リード 5 が設けられ、金属箔リード 5 の端部に電極パッド 9 が設けられている。第 1 の実施の形態のフレキシブル基板 1 3 の場合、全面にわたって絶縁層 3 が設けられていたのに対し、本実施の形態のリードフレーム 1 4 では金属箔リード 5 上にのみ絶縁層 3 が設けられている。

【 0 0 5 0 】

リードフレーム 1 4 の金属箔リード 5 は、例えば厚さ $100\mu\text{m}$ 以下の銅、アルミニウム等の導電性材料で形成されている。絶縁層 3 は、例えばポリイミド、ポリエチレンテレフタレート (P E T) 、アクリル樹脂、ガラスエポキシ樹脂等の絶縁層 3 で絶縁されている。この絶縁層 3 に熱可塑接着性を持つものを用いれば、この絶縁層 3 を用いて L S I 1 とリードフレーム 1 4 とを接着させることができる。

【 0 0 5 1 】

さらに、図 1 7 および図 1 8 はこれらリードフレーム 1 4 上にデカップリングコンデンサ 2 を実装した状態を示しており、図 1 5 に対応するものが図 1 7 、図 1 6 に対応するものが図 1 8 である。図 1 7 、図 1 8 のリードフレーム 1 4 とともに、 L S I 1 の電源ライン接続用パッド 1 0 に接続される金属箔リード 5 とグラウンドライン接続用パッド 1 1 に接続される金属箔リード 5 からなる隣接する 2 つの金属箔リードの間に跨るように、デカップリングコンデンサ 2 が接合されている。ここで用いるデカップリングコンデンサ 2 は積層セラミックコンデンサ等のチップコンデンサであり、金属箔リード 5 上にハンダ等の導体ペーストを用いて実装されている。

【 0 0 5 2 】

図 1 4 (a) 、 (b) に示すように、 L S I 1 の最外周部の電源ライン接続用パッド 1 0 、 グランドライン接続用パッド 1 1 とリードフレーム 1 4 の金属箔リード 5 端部の電極パッド 9 とはバンパ 4 により接続されている。バンパ 4 の材料には例えば半田、金等を用いることができる。また、 L S I 1 とリードフレーム 1 4 の金属箔リード 5 とは絶縁層 3 により固定されると同時に絶縁されている。 L S I 1 の内側の多数の電極パッド 1 6 上に半田等からなるバンパ 6 がそれぞれ形成されており、各バンパ 6 が回路基板 7 に接続されている。

【 0 0 5 3 】

図 1 4 (a) の構成は、金属箔リード 5 の片面 (L S I 1 に対向する面) 側のみに絶縁層 3 が存在し、反対側の面には絶縁層 3 が全く存在していない例である。つまり、金属箔リード 5 と回路基板 7 の表面が対向した状態となっている。そこで、金属箔リード 5 と回路基板 7 との絶縁を保つため、また、 L S I 1 と回路基板 7 との接続の信頼性を高めるため、半導体装置と回路基板 7 との間隙にアンダーフィル樹脂 8 が装入されている。

【 0 0 5 4 】

一方、図 1 4 (b) の構成は、金属箔リード 5 の両面に絶縁層 3 が存在する例である。つまり、金属箔リード 5 と L S I 1 の回路形成面との間のみならず、金属箔リード 5 と回路基板 7 との間にも絶縁層 3 が介在しており、金属箔リード 5 と回路基板 7 との絶縁が保たれている。しかしながら、 L S I 1 と回路基板 7 との接続の信頼性を高めるために、半導体装置と回路基板 7 との間隙にアンダーフィル樹脂 8 が装入されている。アンダーフィル樹脂 8 の材料は、第 1 の実施の形態と同様のものを用いることができる。

【 0 0 5 5 】

以下、上記構成の半導体装置の回路基板への実装方法を説明する。

まず、図 2 または図 5 に示したような電極パッドの配置を有する L S I 1 を作製し、回路形成面の最外周部のパッド 1 0 、 1 1 にバンパ 4 を実装する。一方、図 1 5 または図 1 6 に示したようなリードフレーム 1 4 を作製する。次に、 L S I 上のバンパ 4 とリードフレーム 1 4 の電極パッド 9 とを接続する。次に、 L S

I 1 の回路形成面の最外周部のパッド 1 0、1 1 以外の箇所の電極パッド 1 6 上に回路基板 7 との接続に用いる bumps 6 を実装し、図 4 または図 7 に示したように、リードフレーム 1 4 上にデカップリングコンデンサ 2 を実装して半導体装置を作製する。その後、この半導体装置を回路基板 7 上に載置して加熱し、L S I 1 の電極パッド 1 6 に接続された bumps 6 をリフローさせることにより半導体装置を回路基板 7 上に実装する。そして、半導体装置と回路基板 7 との間隙にアンダーフィル樹脂 8 を注入する。最後に、リードフレーム 1 4 の不要な部分を切り取り線 1 5 (図 1 7 および図 1 8 に破線 1 5 で示す) に沿って切り取る。以上の工程を経て、上記半導体装置を回路基板 7 上に実装することができる。

【 0 0 5 6 】

本実施の形態の半導体装置においても、L S I 1 とデカップリングコンデンサ 2 との間の配線長を十分に短くできることで直流電圧の瞬時的な低下を効果的に抑制、補償できる、回路基板の小型化に寄与できる、L C 共振周波数を高くできる、実装作業の作業性が向上する、といった第 1 の実施の形態と同様の効果を得ることができる。

【 0 0 5 7 】

[第 6 の実施の形態]

以下、本発明の第 6 の実施の形態を図 1 9 を参照して説明する。

図 1 9 (a)、(b) は本実施の形態の半導体装置を回路基板に実装した状態を示す断面図である。本実施の形態の半導体装置もリードフレームを使用したものであり、基本構成は第 5 の実施の形態と同様であるが、異なる点は金属箔リードの両面にデカップリングコンデンサを実装したことである。よって、図 1 9 において図 1 4 ~ 図 1 8 と共通の構成要素には同一の符号を付し、詳細な説明は省略する。

【 0 0 5 8 】

本実施の形態の半導体装置の場合、図 1 9 (a)、(b) に示すように、金属箔リード 5 の一端側 (L S I の外側) の部分には両面ともに絶縁層 3 が設けられていない。そして、この絶縁層 3 が設けられていない金属箔リード 5 の両面にデカップリングコンデンサ 2 がそれぞれ実装されている。デカップリングコンデン

サ 2 として積層セラミックコンデンサ等のチップコンデンサが用いられることや、デカップリングコンデンサ 2 をハンダ等の導体ペーストで実装することは第 5 の実施の形態と同様である。その他の構成も第 5 の実施の形態と同様である。また、図 1 9 (a) は図 1 4 (a) と同様、 L S I 1 の周縁部で金属箔リード 5 の片面のみに絶縁層 3 があり、他の面側はアンダーフィル樹脂 8 が封入された例、図 1 9 (b) は図 1 4 (b) と同様、 L S I 1 の周縁部で金属箔リード 5 の両面ともに絶縁層 3 が設けられた場合の例をそれぞれ示している。

【 0 0 5 9 】

本実施の形態によれば、直流電圧の瞬時的な低下を効果的に抑制、補償できる、回路基板の小型化に寄与できる、 L C 共振周波数を高くできる、実装作業の作業性が向上する、といった第 5 の実施の形態と同様の効果を得ることができる。さらに本実施の形態の場合、デカップリングコンデンサ 2 の数を第 5 の実施の形態の場合の 2 倍実装することができるので、 L S I 1 に供給される直流電圧の変動をより小さく抑えることができる。

【 0 0 6 0 】

[第 7 の実施の形態]

以下、本発明の第 7 の実施の形態を図 2 0 を参照して説明する。

図 2 0 (a) 、 (b) は、本実施の形態の半導体装置を回路基板に実装した状態を示す断面図である。本実施の形態の半導体装置もリードフレームを使用したものであり、基本構成は第 5 の実施の形態と同様であるが、異なる点は金属箔リードが L S I の側面側に折り曲げられている点のみである。よって、図 2 0 において図 1 4 ～図 1 8 と共通の構成要素には同一の符号を付し、詳細な説明は省略する。

【 0 0 6 1 】

本実施の形態の半導体装置においては、図 2 0 (a) 、 (b) に示すように、 L S I 1 とリードフレーム 1 4 の金属箔リード 5 とは、例えばポリイミド等を基本材料とする熱可塑接着性を有する絶縁層 3 で絶縁されており、金属箔リード 5 が L S I 1 の回路形成面から側面に沿って折り曲げられ、 L S I 1 の回路形成面の部分で絶縁層 3 により熱接着されている。金属箔リード 5 が L S I 1 の回路形

成面から側面に沿って折り曲げられた点では第3の実施の形態と類似しているが、異なる点は、フレキシブル基板13を用いた第3の実施の形態ではLSI1の側面と金属箔リード5とが絶縁層3を介して接着されていたのに対し、本実施の形態においてはリードフレーム14の金属箔リード5がLSI1の側面でLSI1に密着せず、自立している点である。その他の構成は第5の実施の形態と同様である。また、図20(a)は図14(a)と同様、LSI1の周縁部で金属箔リード5の片面のみに絶縁層3があり、他の面側はアンダーフィル樹脂8が封入された例、図20(b)は図14(b)と同様、LSI1の周縁部で金属箔リード5の両面ともに絶縁層3が設けられた場合の例、をそれぞれ示している。

【0062】

本実施の形態の半導体装置を回路基板7上に実装する場合、第5の実施の形態で説明したのと同様の方法により行うことができるが、リードフレーム14の第5の実施の形態とは反対側の面にデカップリングコンデンサ2を予め接合しておき、半導体装置を回路基板7上に実装し、次いで、リードフレーム14の不要な部分を切除した後、金属箔リード5を折り曲げればよい。

【0063】

本実施の形態の半導体装置によれば、直流電圧の瞬時的な低下を効果的に抑制、補償できる、回路基板の小型化に寄与できる、LC共振周波数を高くできる、実装作業の作業性が向上する、といった第5の実施の形態と同様の効果を得ることができる。さらに本実施の形態の場合、リードフレーム14の金属箔リード5がLSI1の側面に沿って折り曲げられ、その上にデカップリングコンデンサ2が固定されているので、回路基板7上での半導体装置の占有面積が第5の実施の形態に比べて小さくなり、回路基板7の小型化に寄与することができる。また、リードフレーム14を用いた場合、フレキシブル基板を用いた場合に比べて平坦性、剛性に優れているので、LSI1との接続の際に容易であったり、本実施の形態のように折り曲げた後にリード自体で形状を維持できるという利点を得られる。

【0064】

[第8の実施の形態]

以下、本発明の第 8 の実施の形態を図 2 1 を参照して説明する。

図 2 1 (a)、(b) は、本実施の形態の半導体装置を回路基板に実装した状態を示す断面図である。本実施の形態の半導体装置もリードフレームを使用したものであり、基本構成は第 5 ～ 第 7 の実施の形態と同様であるが、異なる点は金属箔リードが L S I の側面側に折り曲げられ、その両面にデカップリングコンデンサが実装されている点のみである。よって、図 2 1 において図 1 4 ～ 図 1 8 と共通の構成要素には同一の符号を付し、詳細な説明は省略する。

【 0 0 6 5 】

本実施の形態の半導体装置においても第 7 の実施の形態と同様、図 2 1 (a)、(b) に示すように、金属箔リード 5 が L S I 1 の回路形成面から側面に沿って折り曲げられ、L S I 1 の回路形成面の部分で熱接着されている。しかしながら、第 7 の実施の形態では金属箔リード 5 が L S I 1 の側面に沿って折り曲げられた部分の外面側にのみデカップリングコンデンサ 2 が実装されているのに対し、本実施の形態では金属箔リード 5 の外面側のみならず、内面 (L S I 1 に対向する面) 側にもデカップリングコンデンサ 2 が実装されている。フレキシブル基板 1 3 を用いた場合と異なり、リードフレーム 1 4 を用いた場合は金属箔リード 5 が L S I 1 の側面で L S I 1 に密着していないため、このような構成を採ることが可能となる。その他の構成は第 7 の実施の形態と同様である。また、図 2 1 (a) は図 2 0 (a) と同様、L S I 1 の周縁部で金属箔リード 5 の片面のみに絶縁層 3 があり、他の面側はアンダーフィル樹脂 8 が封入された例、図 2 1 (b) は図 2 0 (b) と同様、L S I 1 の周縁部で金属箔リード 5 の両面ともに絶縁層 3 が設けられた場合の例、をそれぞれ示している。

【 0 0 6 6 】

本実施の形態の半導体装置によれば、直流電圧の瞬時的な低下を効果的に抑制、補償できる、回路基板の小型化に寄与できる、L C 共振周波数を高くできる、実装作業の作業性が向上する、半導体装置の占有面積が小さくなることで回路基板の小型化に寄与できる、という第 7 の実施の形態と同様の効果を得ることができる。さらに本実施の形態の場合、デカップリングコンデンサ 2 の数を第 7 の実施の形態の場合の 2 倍実装することができるので、L S I 1 に供給される直流電

圧の変動をより小さく抑えることができる。

【 0 0 6 7 】

[第 9 の実施の形態]

以下、本発明の第 9 の実施の形態を図 2 2 を参照して説明する。

図 2 2 (a) 、 (b) は、本実施の形態の半導体装置を回路基板に実装した状態を示す断面図である。本実施の形態の半導体装置もリードフレームを使用したものであり、基本構成は第 5 ～第 8 の実施の形態と同様であるが、異なる点は金属箔リードがさらに L S I の裏面側に折り曲げられ、その部分にデカップリングコンデンサが実装されている点である。よって、図 2 2 において図 1 4 ～図 1 8 と共通の構成要素には同一の符号を付し、詳細な説明は省略する。

【 0 0 6 8 】

本実施の形態の半導体装置においては、図 2.2 (a) 、 (b) に示すように、リードフレーム 1 4 の金属箔リード 5 が L S I 1 の回路形成面から側面、さらに裏面 (図における L S I 1 の上面) に沿って折り曲げられ、 L S I 1 の回路形成面の部分で絶縁層 3 を介して熱接着されている。そして、 L S I 1 の側面および裏面に向けて折り曲げられた金属箔リード 5 上に、側面上に 1 個ずつ、裏面側に 1 個ずつのデカップリングコンデンサ 2 がハンダ等の導体ペーストによりそれぞれ実装されている。その他の構成は第 7 の実施の形態と同様である。また、図 2 2 (a) は図 2 0 (a) と同様、 L S I 1 の周縁部で金属箔リード 5 の片面のみに絶縁層 3 があり、他の面側はアンダーフィル樹脂 8 が封入された例、図 2 2 (b) は図 2 0 (b) と同様、 L S I 1 の周縁部で金属箔リード 5 の両面ともに絶縁層 3 が設けられた場合の例、をそれぞれ示している。

【 0 0 6 9 】

本実施形態の半導体装置によれば、直流電圧の瞬時的な低下を効果的に抑制、補償できる、回路基板の小型化に寄与できる、 L C 共振周波数を高くできる、実装作業の作業性が向上する、といった第 7 の実施の形態と同様の効果を得ることができる。さらに本実施の形態の場合、第 7 の実施の形態と同様、半導体装置の占有面積を小さくした上でデカップリングコンデンサ 2 の数を第 7 の実施の形態に比べて増やすことができるので、 L S I 1 に供給される直流電圧の変動をより

小さく抑えることが可能となる。

【 0 0 7 0 】

[第 1 0 の実施の形態]

以下、本発明の第 1 0 の実施の形態を図 2 3 を参照して説明する。

図 2 3 (a) 、 (b) は、本実施の形態の半導体装置を回路基板に実装した状態を示す断面図である。本実施の形態の半導体装置もリードフレームを使用したものであり、基本構成は第 5 ～第 9 の実施の形態と同様であるが、異なる点は金属箔リードが L S I の側面側、裏面側に折り曲げられ、その両面にデカップリングコンデンサが実装されている点である。よって、図 2 3 において図 1 4 ～図 1 8 と共通の構成要素には同一の符号を付し、詳細な説明は省略する。

【 0 0 7 1 】

第 9 の実施の形態で金属箔リード 5 が L S I 1 の側面を経て裏面側にまで折り曲げられた例を説明したが、この例ではデカップリングコンデンサ 2 は金属箔リードの外面側にのみ実装されていた。これに対して、本実施の形態の半導体装置においては、図 2 3 (a) 、 (b) に示すように、金属箔リード 5 の外面側のみならず、内面 (L S I 1 に対向する面) 側にもデカップリングコンデンサ 2 が実装されている。その他の構成は第 9 の実施の形態と同様である。また、図 2 3 (a) は図 2 2 (a) と同様、 L S I 1 の周縁部で金属箔リード 5 の片面のみに絶縁層 3 があり、他の面側はアンダーフィル樹脂 8 が封入された例、図 2 3 (b) は図 2 2 (b) と同様、 L S I 1 の周縁部で金属箔リード 5 の両面ともに絶縁層 3 が設けられた場合の例、をそれぞれ示している。

【 0 0 7 2 】

本実施形態の半導体装置によれば、直流電圧の瞬時的な低下を効果的に抑制、補償できる、回路基板の小型化に寄与できる、 L C 共振周波数を高くできる、実装作業の作業性が向上する、といった第 9 の実施の形態と同様の効果を得ることができる。さらに本実施の形態の場合、第 9 の実施の形態と同様、半導体装置の占有面積を小さくした上でデカップリングコンデンサ 2 の数を第 9 の実施の形態のさらに 2 倍に増やすことができるので、 L S I 1 に供給される直流電圧の変動をより小さく抑えることが可能となる。

【0073】

以上、本発明をその好適な実施例に基づいて説明したが、本発明は上述の実施例に限定されるものではなく、本発明の特許請求の範囲の記載に基づく技術的な範囲内で、種々の修正および変更が可能なことは勿論である。例えば、金属箔リードをLSIの側面側から裏面側まで折り曲げる構成において、場合によってはLSIの側面側にあたる金属箔リード上にはデカップリングコンデンサを実装せず、LSIの裏面側にあたる金属箔リード上にデカップリングコンデンサを実装するなどしてもよい。ただしその場合、上述したように、LSIの電極パッドからデカップリングコンデンサまでの距離が遠くなると、配線のインダクタンスが大きくなるので、配線長がそれ程長くないように配慮する必要がある。

【0074】

また、LSIの電源ライン接続用パッド、グラウンドライン接続用パッドのそれぞれに接続する導体の形態として、フレキシブル基板の金属箔リードとリードフレームの金属箔リードを使用した例を示したが、導体の具体的な構成はこれらに限ることなく、種々のものを用いることができる。さらに、各種構成要素の材料、寸法、形状、電極パッドの配置などの具体的な記載は適宜変更が可能である。LSI自体の形態についても種々のものが適用可能である。

【0075】

【発明の効果】

本発明の半導体装置によれば、従来のように回路基板上にコンデンサを実装することなく、半導体装置本体とデカップリングコンデンサとの間の配線長が極めて短くなり、配線経路の寄生インダクタンスを十分に低減することができる。その結果、デカップリングコンデンサが十分に機能し、直流電圧の瞬時的な低下を効果的に抑制、補償することができる。さらに、半導体装置の導体上にコンデンサを実装することで省スペース化が図れ、半導体装置を実装する回路基板の小型化を実現することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態の半導体装置を回路基板に実装した状態を示す断面図である。

【図 2】 同、半導体装置の本体となる L S I の回路形成面を示す平面図である。

【図 3】 同、半導体装置に用いるフレキシブル基板の L S I との接続面を示す平面図である。

【図 4】 図 3 のフレキシブル基板上にデカップリングコンデンサを実装した状態を示す平面図である。

【図 5】 他の例の L S I の回路形成面を示す平面図である。

【図 6】 他の例のフレキシブル基板の L S I との接続面を示す平面図である。

【図 7】 図 6 のフレキシブル基板上にデカップリングコンデンサを実装した状態を示す平面図である。

【図 8】 本発明の第 2 の実施形態の半導体装置を回路基板に実装した状態を示す断面図である。

【図 9】 同、半導体装置に用いるフレキシブル基板の L S I との接続面を示す平面図である。

【図 1 0】 他の例のフレキシブル基板の L S I との接続面を示す平面図である。

【図 1 1】 本発明の第 3 の実施形態の半導体装置を回路基板に実装した状態を示す断面図である。

【図 1 2】 同、半導体装置の側面図である。

【図 1 3】 本発明の第 4 の実施形態の半導体装置を回路基板に実装した状態を示す断面図である。

【図 1 4】 本発明の第 5 の実施形態の半導体装置を回路基板に実装した状態を示す断面図である。

【図 1 5】 同、半導体装置に用いるリードフレームの L S I との接続面を示す平面図である。

【図 1 6】 他の例のリードフレームの L S I との接続面を示す平面図である。

【図 1 7】 図 1 5 のリードフレーム上にデカップリングコンデンサを実装

した状態を示す平面図である。

【図 1 8】 図 1 6 のリードフレーム上にデカップリングコンデンサを実装した状態を示す平面図である。

【図 1 9】 本発明の第 6 の実施形態の半導体装置を回路基板に実装した状態を示す断面図である。

【図 2 0】 本発明の第 7 の実施形態の半導体装置を回路基板に実装した状態を示す断面図である。

【図 2 1】 本発明の第 8 の実施形態の半導体装置を回路基板に実装した状態を示す断面図である。

【図 2 2】 本発明の第 9 の実施形態の半導体装置を回路基板に実装した状態を示す断面図である。

【図 2 3】 本発明の第 1 0 の実施形態の半導体装置を回路基板に実装した状態を示す断面図である。

【図 2 4】 L S I の回路基板への実装構造の一例を示す断面図である。

【図 2 5】 図 2 4 の実装構造に対応する等価回路図である。

【図 2 6】 L S I およびデカップリングコンデンサの回路基板への実装構造の一例を示す断面図である。

【図 2 7】 図 2 6 の実装構造に対応する等価回路図である。

【符号の説明】

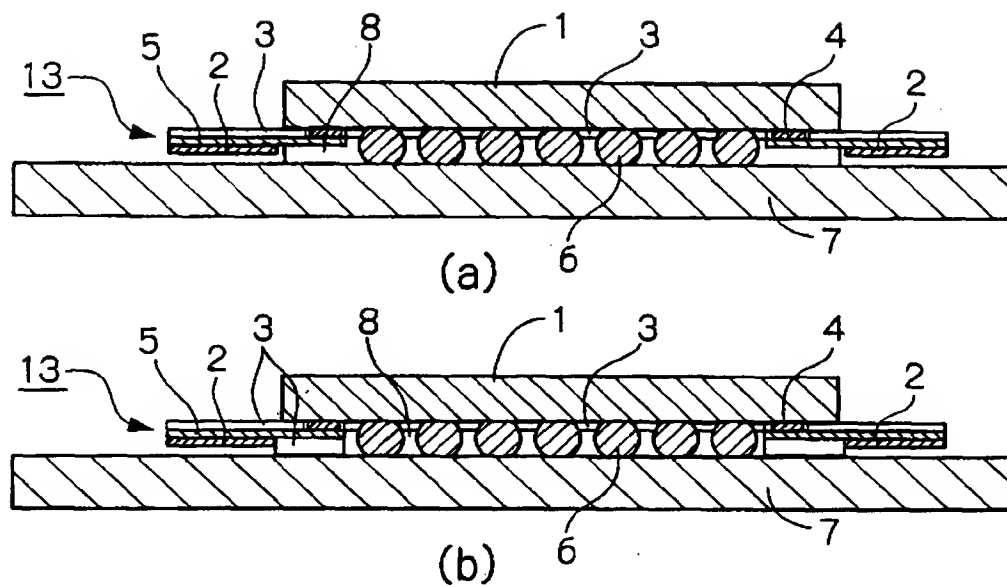
- 1 L S I (半導体装置本体)
- 2 デカップリングコンデンサ
- 3 絶縁層
- 4 バンプ
- 5 金属箔リード
- 6 バンプ
- 7 回路基板
- 8 アンダーフィル樹脂
- 9 電極パッド
- 1 0 電源ライン接続用パッド



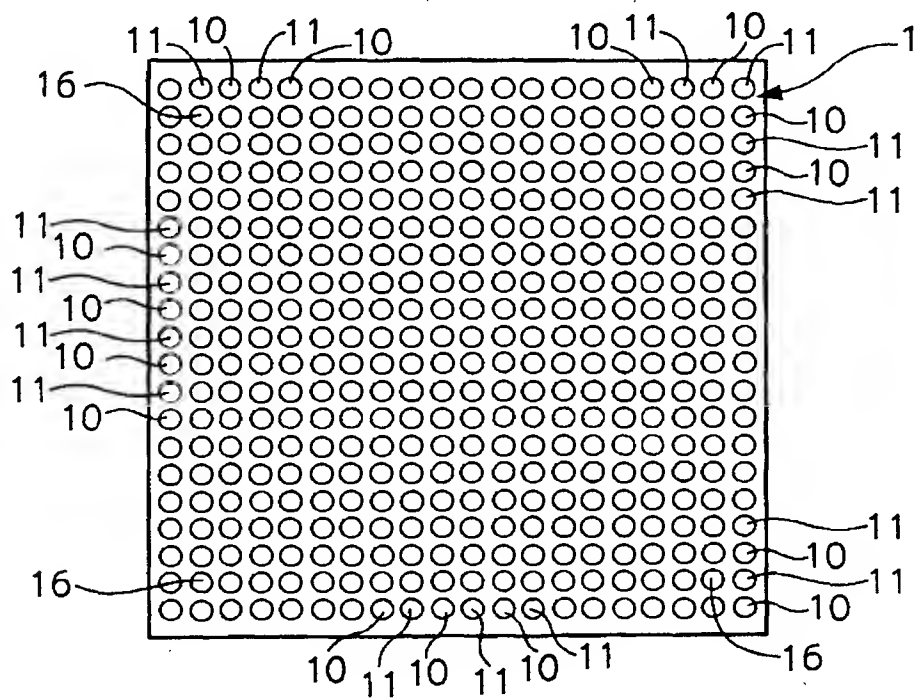
- 1 1 グランド（接地）ライン接続用パッド
- 1 2 （バンプ用）孔
- 1 3 フレキシブル基板
- 1 4 リードフレーム
- 1 5 切り取り線
- 1 6 （内側の）電極パッド

【書類名】 図面

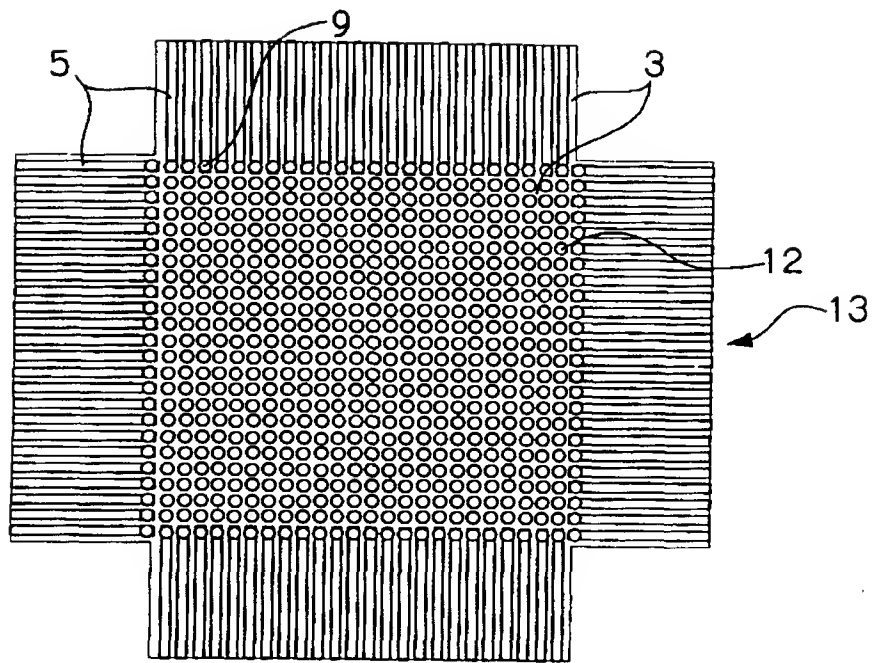
【図 1】



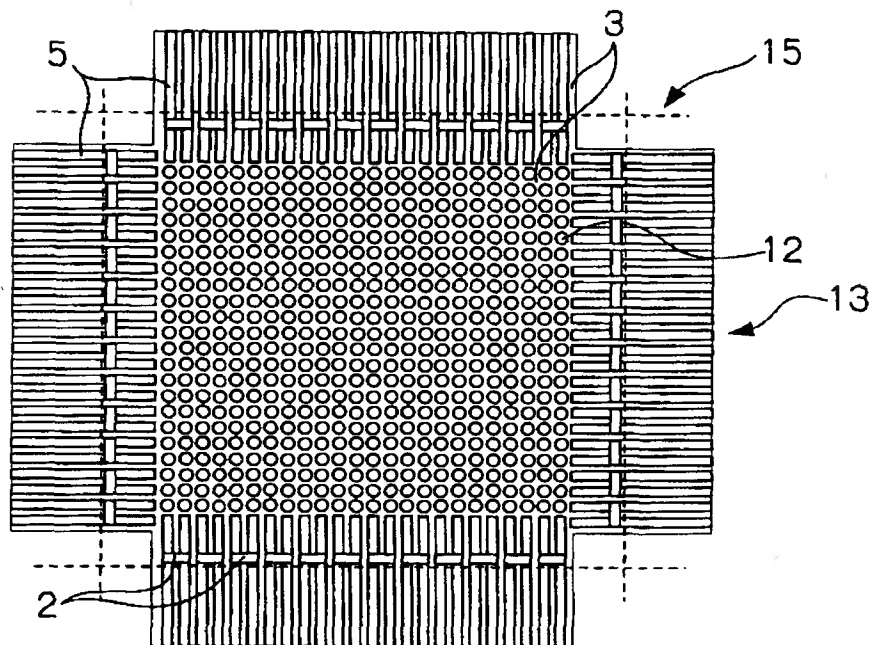
【図 2】



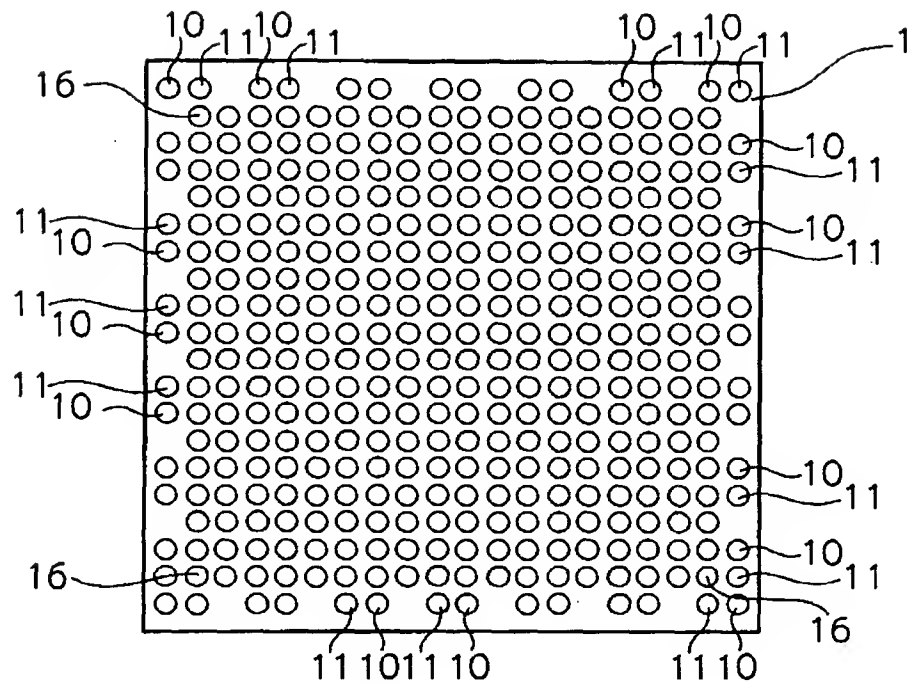
【図 3】



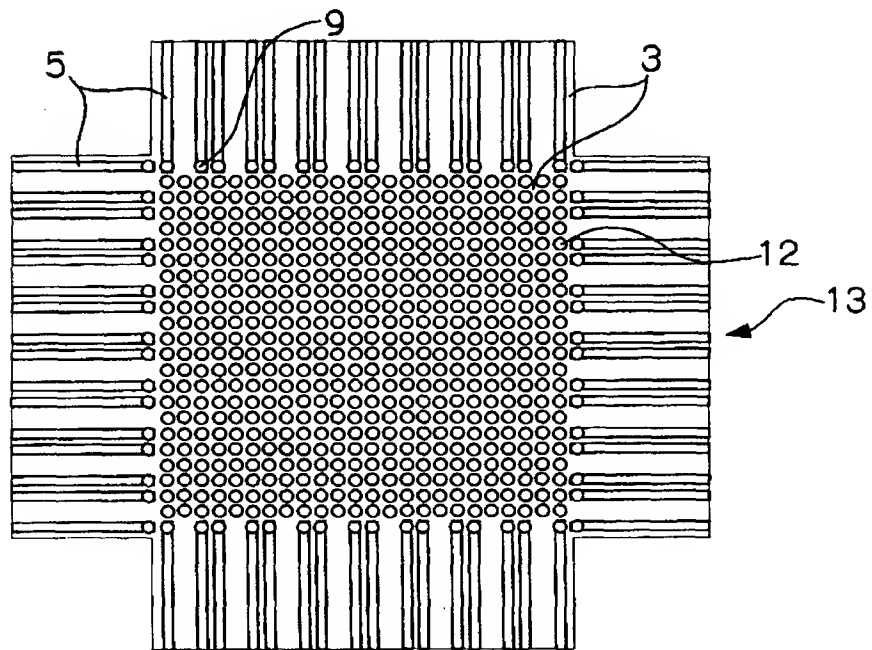
【図 4】



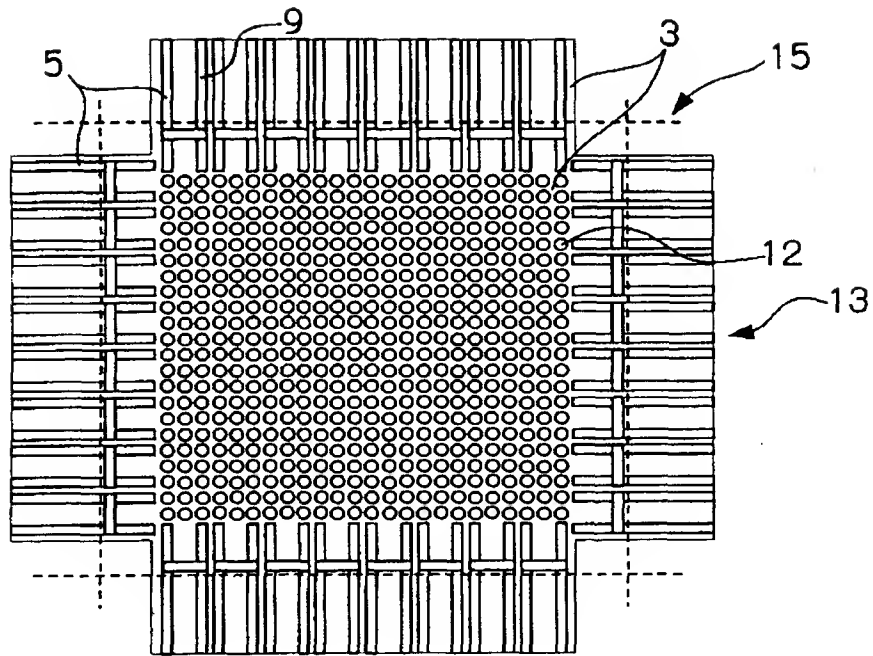
【図5】



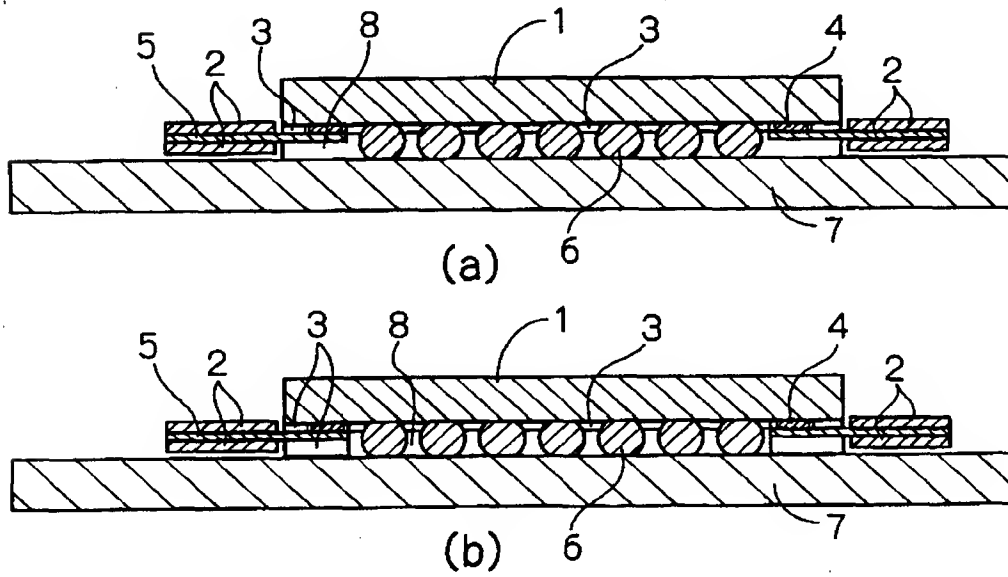
【図6】



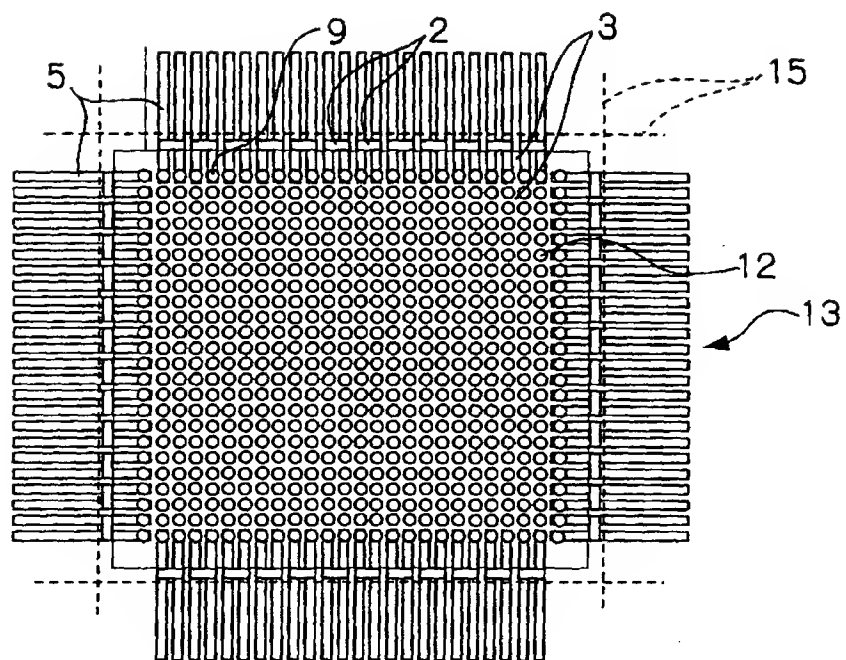
【図 7】



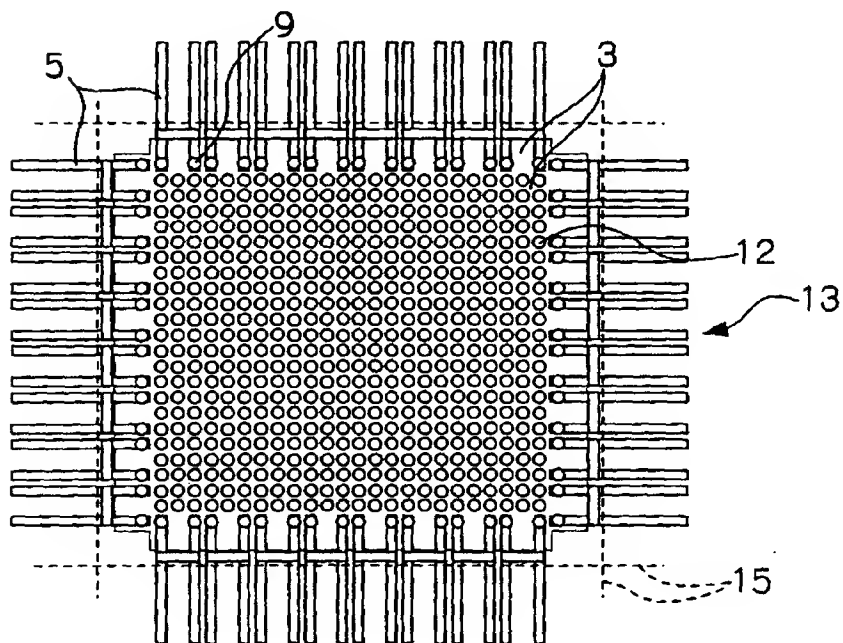
【図 8】



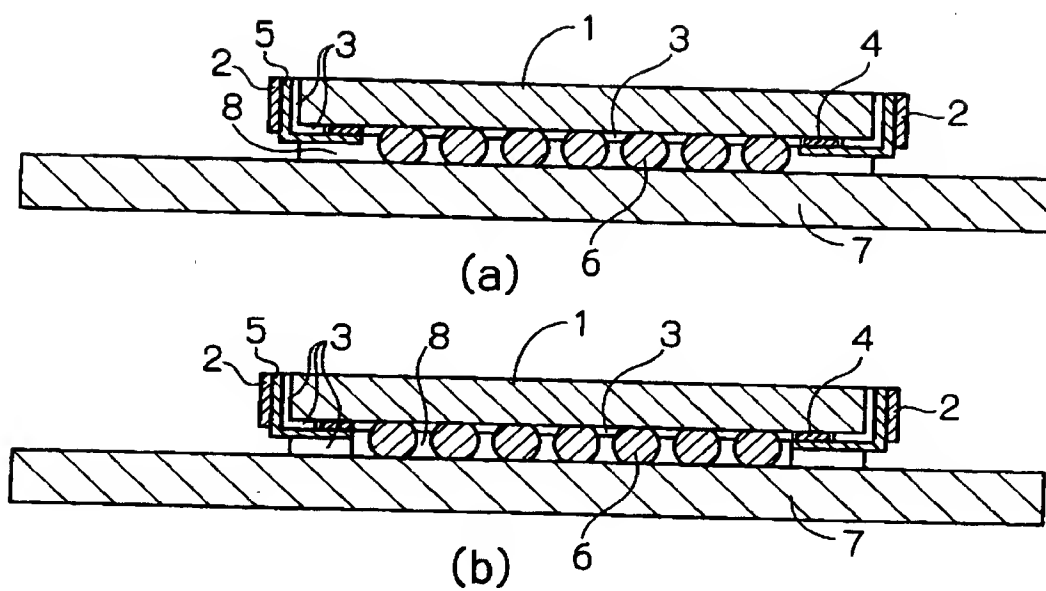
【図9】



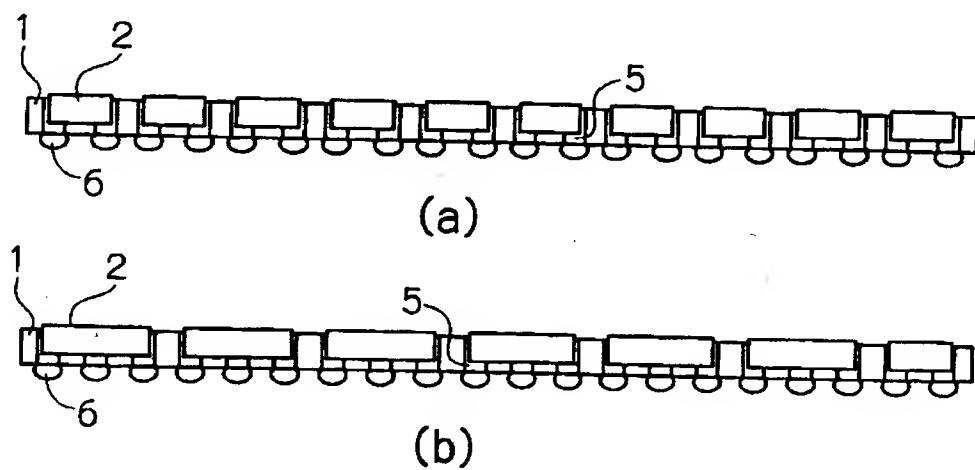
【図10】



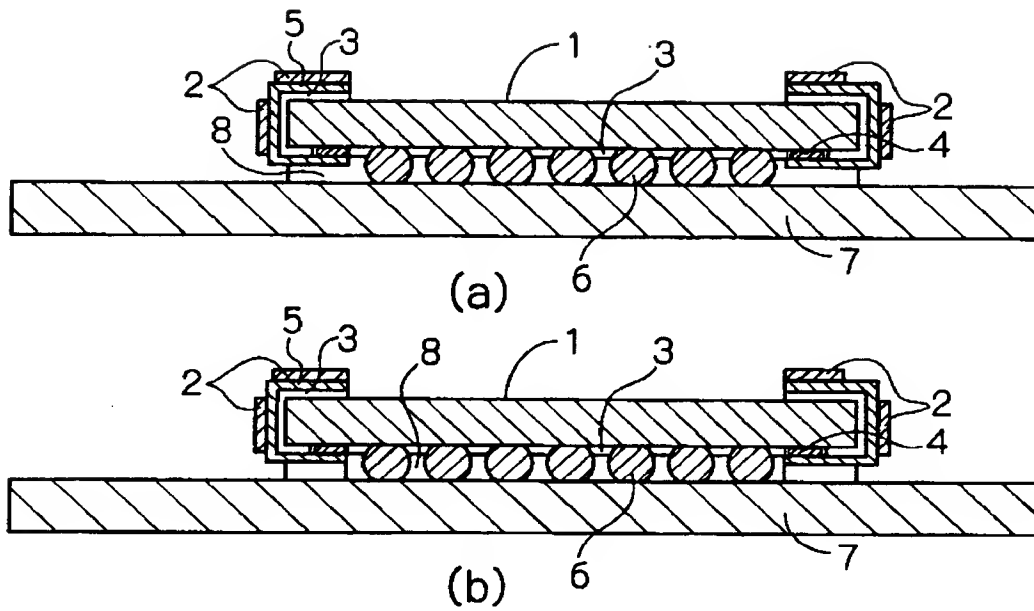
【図 1 1】



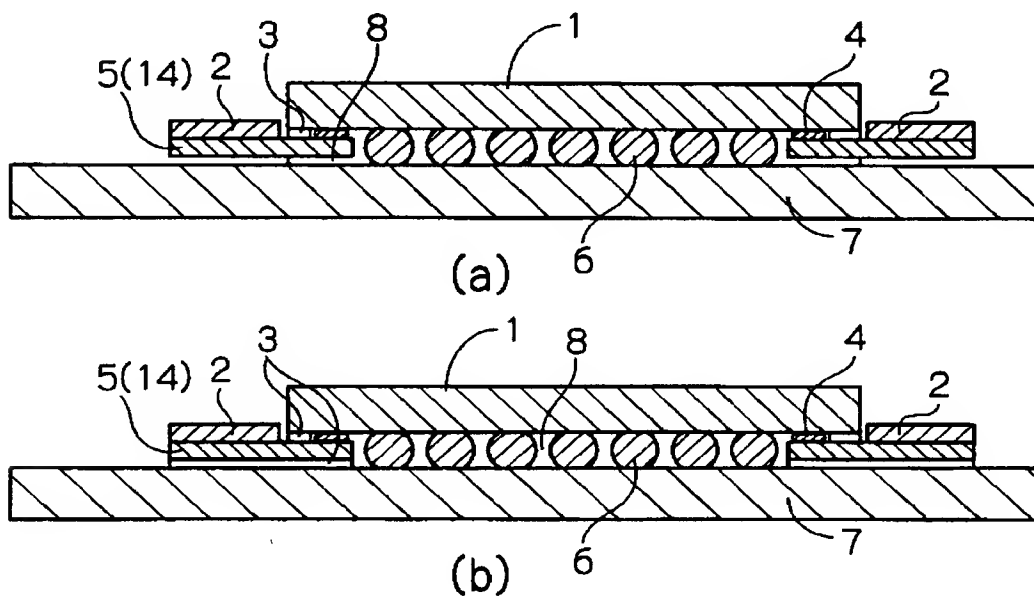
【図 1 2】



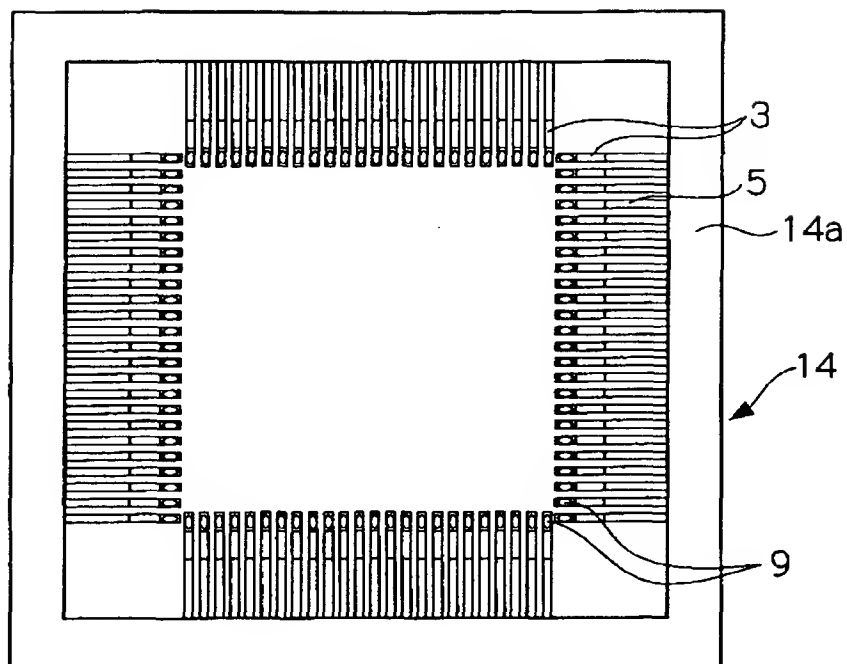
【図 1 3】



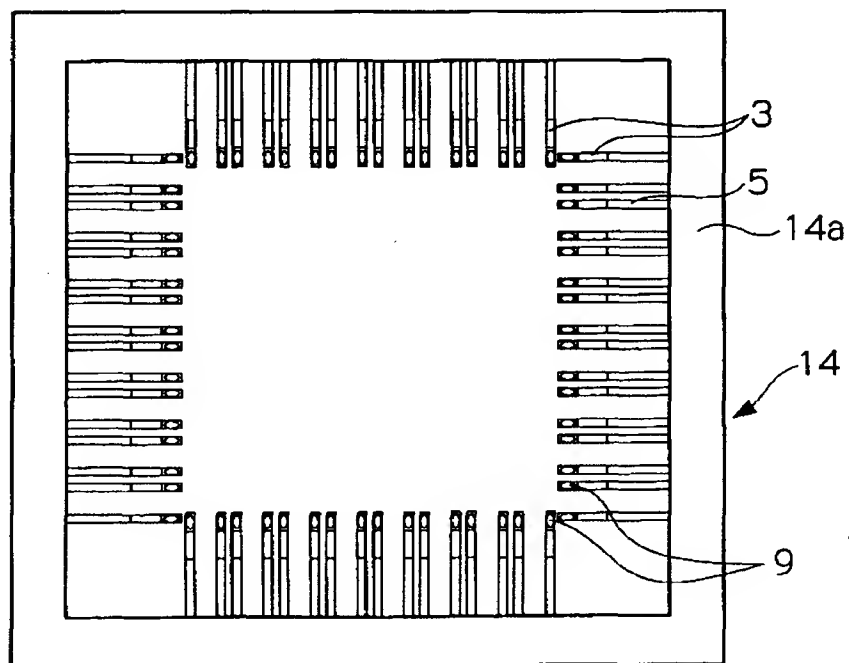
【図 1 4】



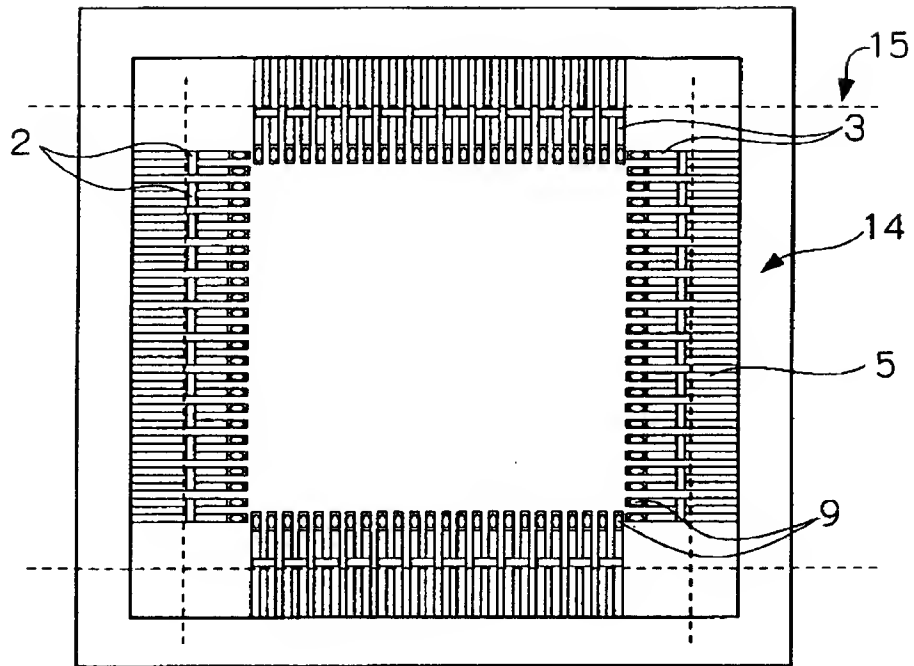
【図 1 5】



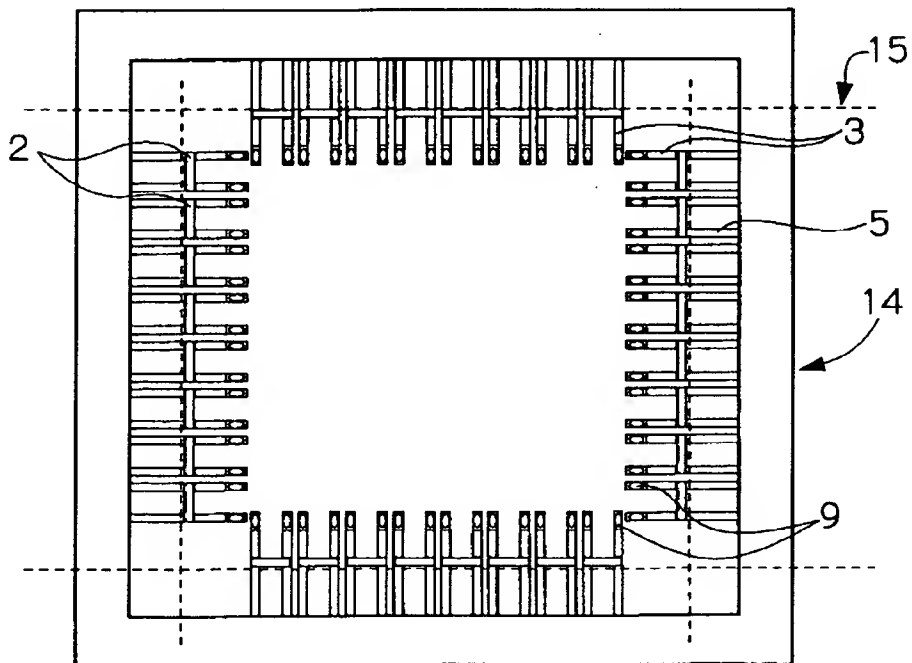
【図 1 6】



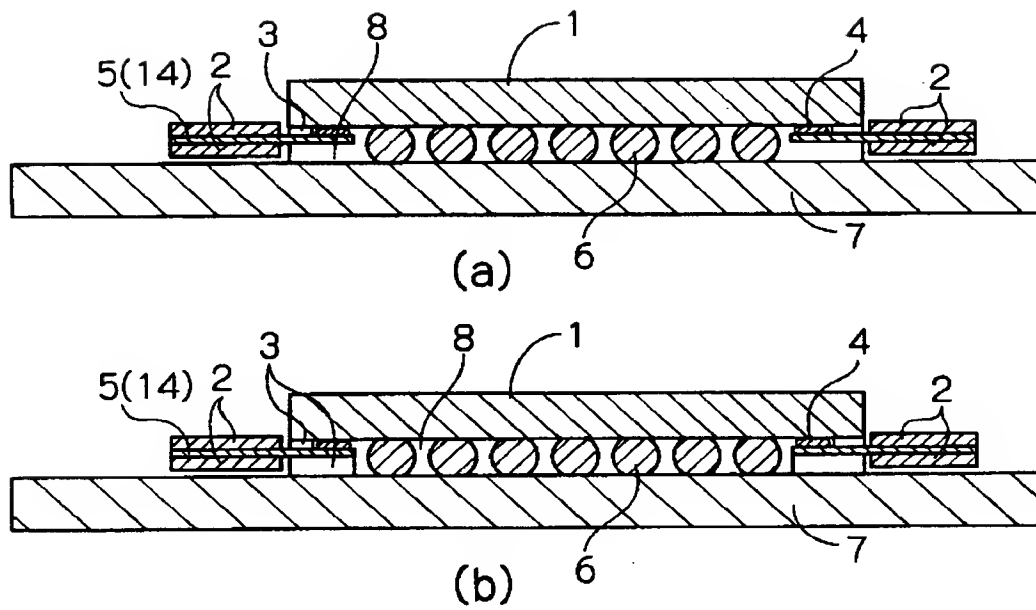
【図 1 7】



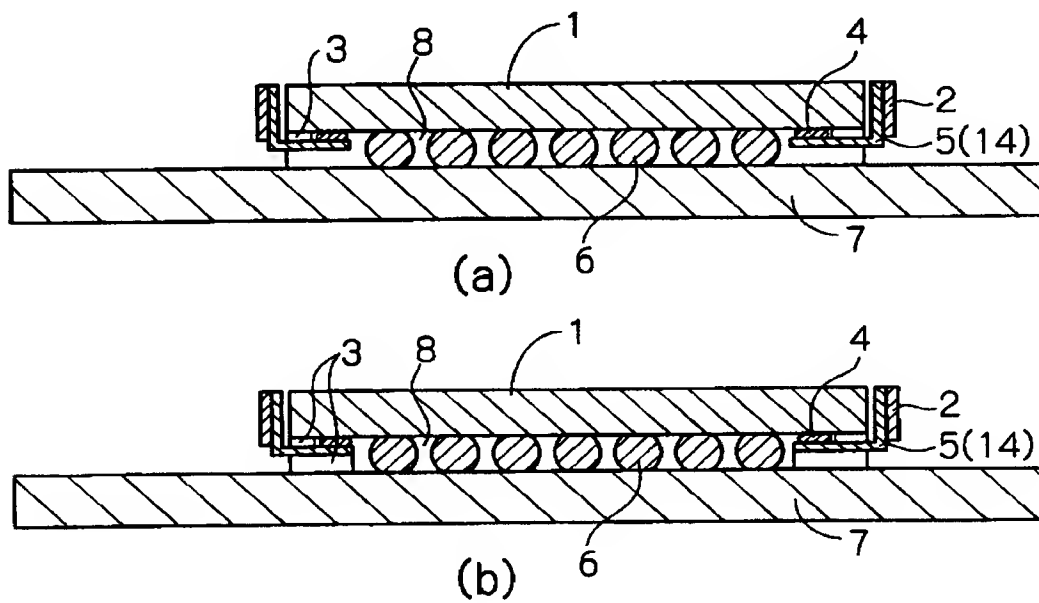
【図 1 8】



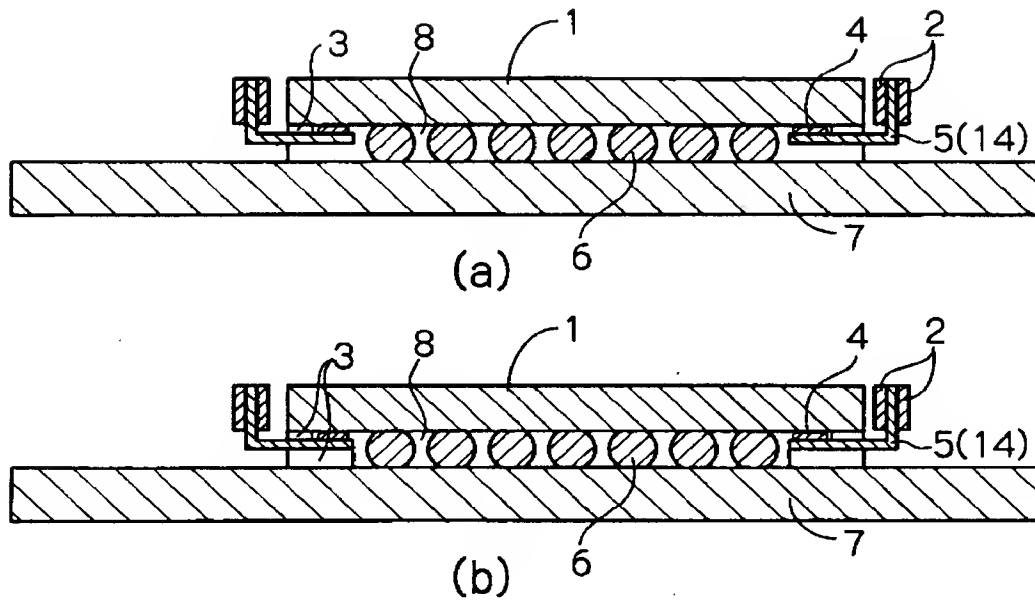
【図 1 9】



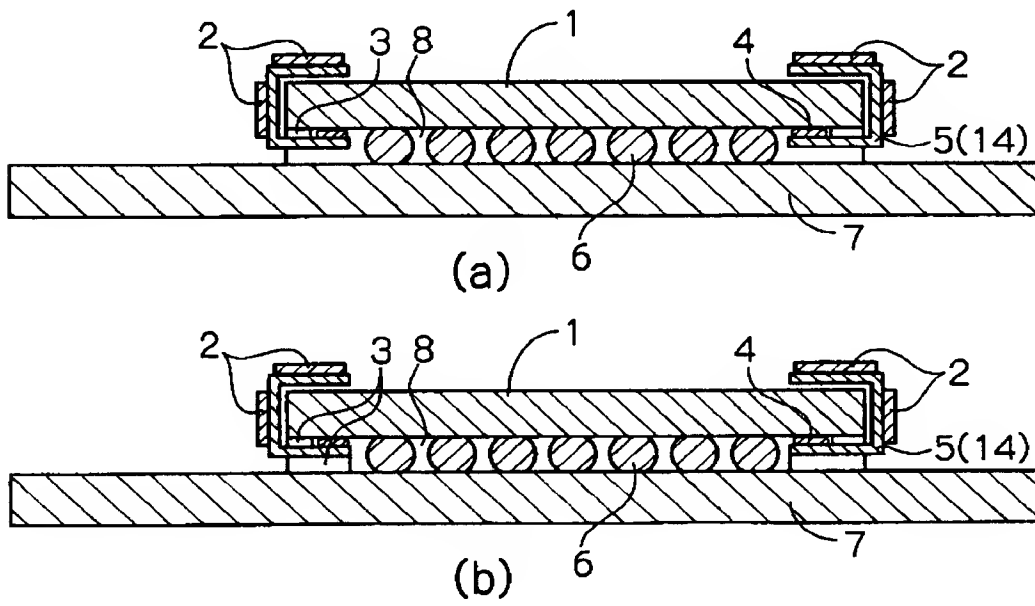
【図 2 0】



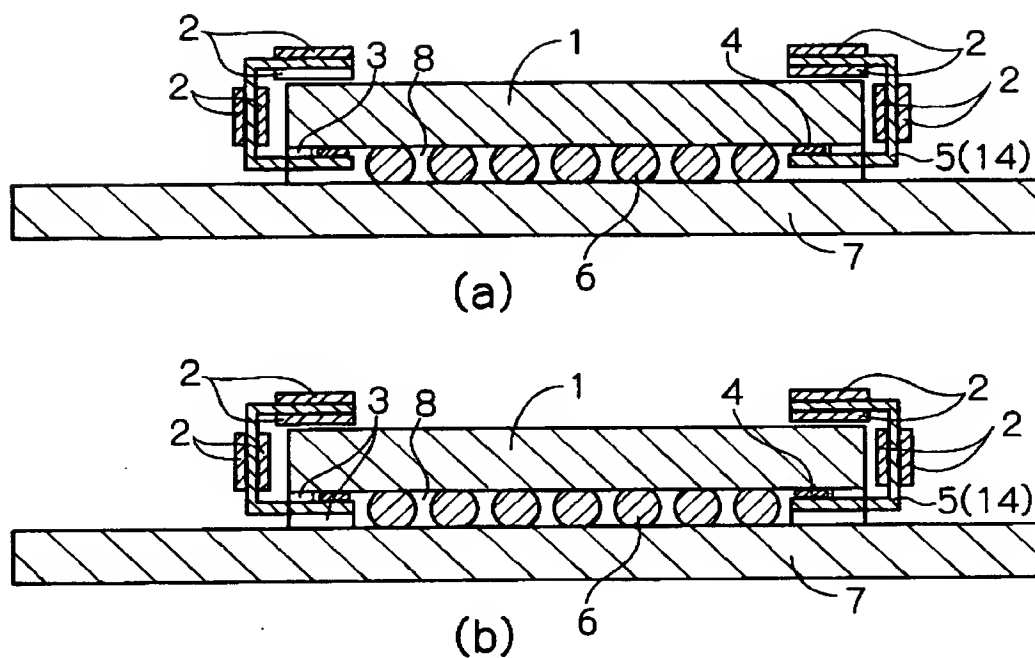
【図 2 1】



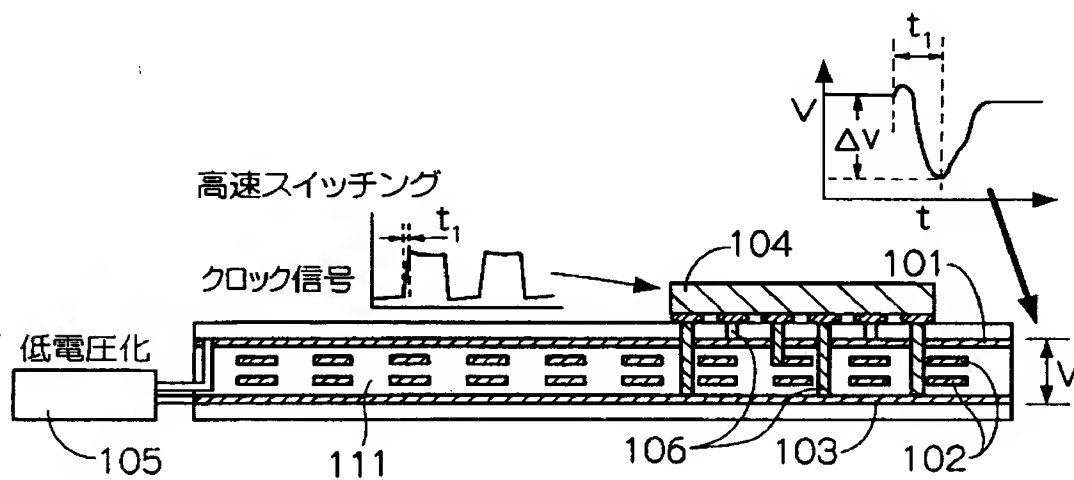
【図 2 2】



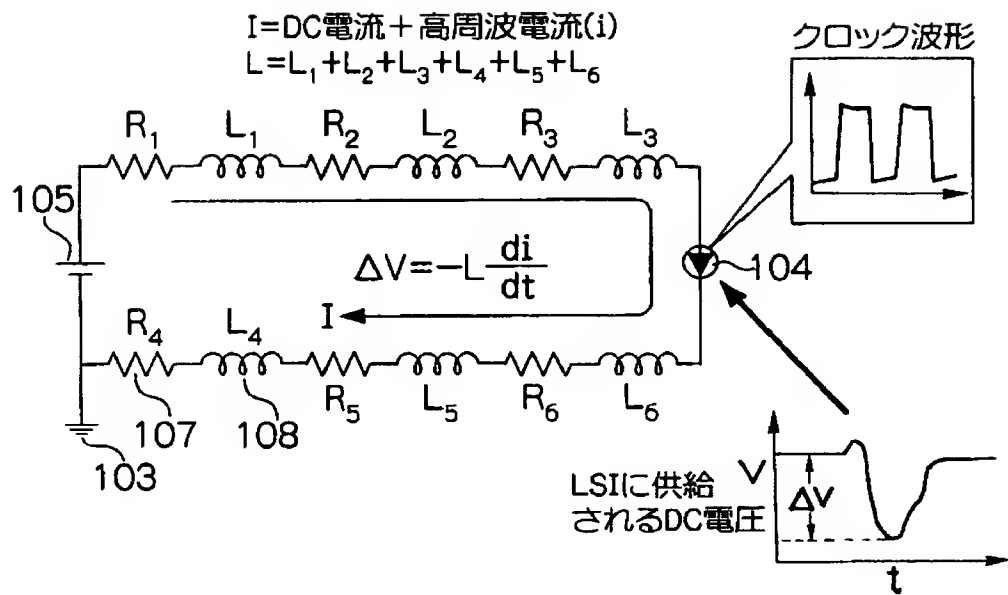
【図 23】



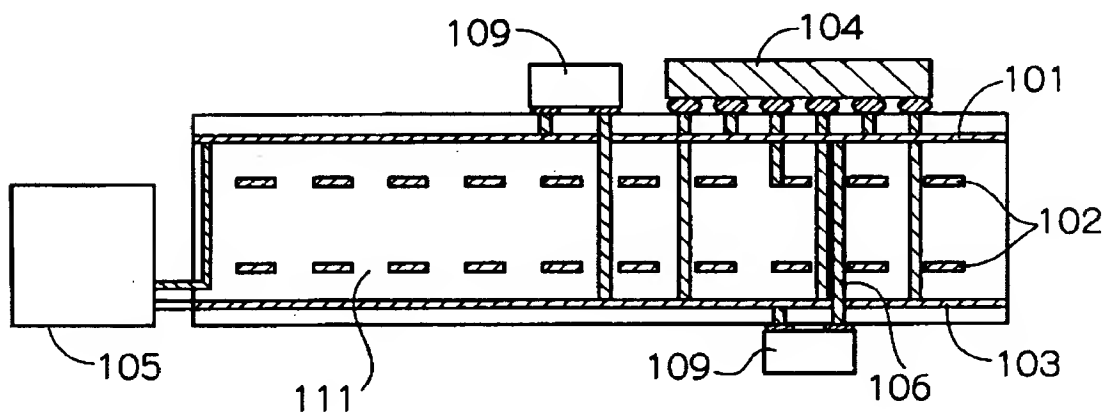
【図 24】



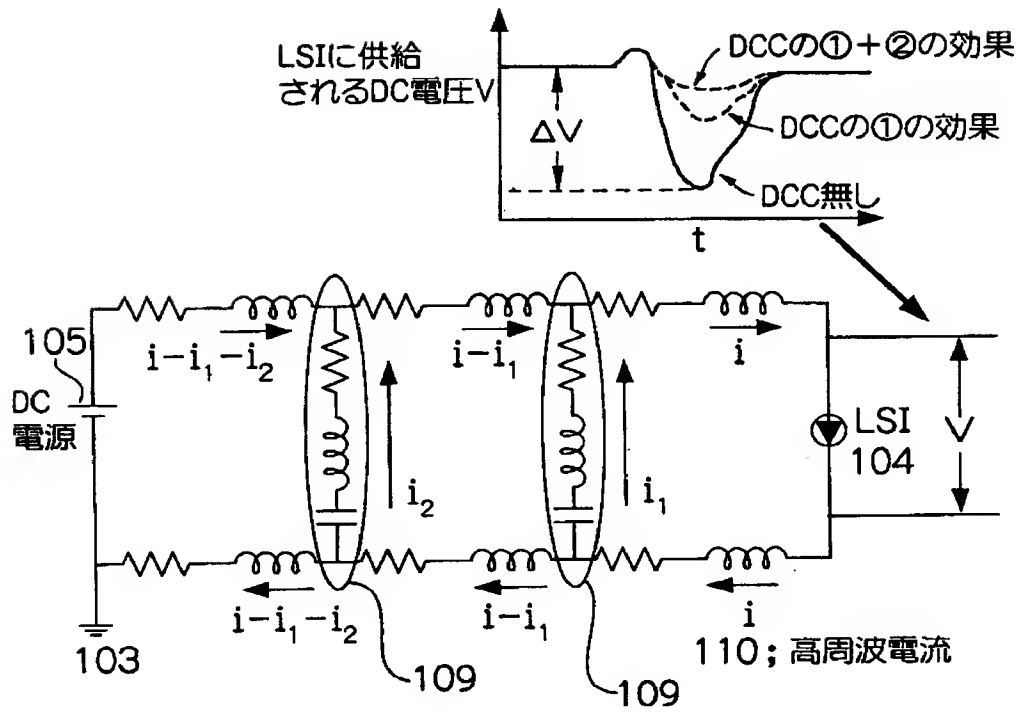
【図 25】



【図 26】



【図 2 7】



【書類名】 要約書

【要約】

【課題】 回路基板上に多数のコンデンサを実装することなく、L S I の直流電圧の瞬時的な低下を抑制、補償するデカップリングコンデンサを備えた半導体装置を提供する。

【解決手段】 本発明の半導体装置は、回路形成面の周縁部に複数の電源ライン接続用パッドと複数のグラウンドライン接続用パッドとが設けられたL S I 1 と、前記パッドのそれぞれに電氣的に接続され、絶縁層 3 を介してL S I 1 に接着された金属箔リード 5 と、金属箔リード 5 の一面に実装されたデカップリングコンデンサ 2 とを有している。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 3 6 0 8 5 3
受付番号	5 0 0 0 1 5 2 8 4 7 0
書類名	特許願
担当官	高田 良彦 2 3 1 9
作成日	平成 1 2 年 1 2 月 5 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目 7 番 1 号
【氏名又は名称】	日本電気株式会社

【代理人】

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	高橋 詔男

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	青山 正和

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社